

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月30日

出 願 番 号

Application Number:

特願2000-364146

出 願 人

Applicant(s):

株式会社日立製作所  
日立デバイスエンジニアリング株式会社

2001年 9月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3087806

【書類名】 特許願

【整理番号】 H00020621

【提出日】 平成12年11月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/08

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 安岡 秀記

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 瀬瀬 政巳

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 石田 進

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所ディスプレイグループ内

【氏名】 斎藤 一成

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の第 1 領域内に複数の第 1 M I S F E T を有し、第 2 領域内に複数の第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記第 1 領域内の前記第 1 M I S F E T 形成領域間および前記第 2 領域内の前記第 2 M I S F E T 形成領域間に第 1 絶縁膜を形成する工程と、

(b) 前記第 1 および第 2 領域において、前記第 1 絶縁膜間の半導体基板表面に第 2 絶縁膜を形成する工程と、

(c) 前記第 2 絶縁膜上に、第 3 絶縁膜を堆積する工程と、

(d) 前記第 2 領域において、前記第 3 絶縁膜上に第 1 導電膜を形成する工程と、

(e) 前記第 1 領域の前記第 3 及び第 2 絶縁膜を除去した後に、前記第 1 領域の半導体基板表面に第 4 絶縁膜を形成する工程と、

(f) 前記第 4 絶縁膜上に第 2 導電膜を形成する工程と、  
を含み、

(g) 前記第 2 領域において、前記第 1 絶縁膜上には前記第 3 絶縁膜が残っていることを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 前記第 1 絶縁膜は、熱酸化により形成された酸化膜であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】 前記第 3 絶縁膜は、C V D 法により形成された膜であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 4】 前記第 3 絶縁膜のエッチレートは前記第 1 絶縁膜よりも大きいことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 5】 前記第 3 絶縁膜の膜厚は、前記第 2 絶縁膜の膜厚よりも厚いことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 6】 前記第 1 および第 2 導電膜はポリシリコンからなる膜であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 7】 前記第 1 絶縁膜上の第 3 絶縁膜は、前記第 1 絶縁膜上に前記第 3 絶縁膜の端部が位置するように形成されていることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 8】 前記第 1 絶縁膜形成工程は、前記半導体基板中に溝を形成する工程と、前記の溝内に酸化膜を形成する工程とからなることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 9】 前記第 1 領域内の第 1 絶縁膜は、前記第 2 領域内の第 1 絶縁膜より幅が狭いことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 10】 前記第 1 絶縁膜は、前記第 1 導電膜形成領域の両端部にも形成されることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 11】 前記第 1 絶縁膜は、前記第 2 領域内の第 1 導電膜形成領域の両端部にも形成され、

前記半導体集積回路装置の製造方法は、さらに、前記第 1 導電膜形成領域の両端部に形成された第 1 絶縁膜下の半導体基板中に第 1 の半導体領域を形成する工程と、

前記第 1 の半導体領域中であって、第 1 導電膜形成領域の両端部に形成された第 1 絶縁膜の外側に、第 2 の半導体領域を形成する工程と、

を有することを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 12】 前記第 1 の半導体領域の不純物濃度は、前記第 2 の半導体領域の不純物濃度より低いことを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 13】 半導体基板の第 1 領域内に複数の第 1 M I S F E T を有し、第 2 領域内に複数の第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記第 1 領域内の前記第 1 M I S F E T 形成領域間および前記第 2 領域の前記第 2 M I S F E T 形成領域間に第 1 絶縁膜を形成する工程と、

(b) 前記第 1 および第 2 領域において、前記第 1 絶縁膜間の半導体基板表面に第 2 絶縁膜を形成する工程と、

(c) 前記 2 絶縁膜上に、第 3 絶縁膜を堆積する工程と、

(d) 前記第 2 領域内の前記第 1 絶縁膜上に前記第 3 絶縁膜を残し、前記第 1 領域内の前記第 3 絶縁膜を除去する工程と、

(e) 前記半導体基板上の前記第 1 および第 2 領域に、第 1 導電膜を堆積する工程と、

(f) 前記第 1 領域内の前記第 1 導電膜の除去、および前記第 2 領域内の前記第 1 導電膜の一部を除去する工程と、

(g) 前記第 1 領域の前記半導体基板表面に第 4 絶縁膜を形成する工程と、

(h) 前記第 1 領域に第 2 導電膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】 前記第 1 絶縁膜は、熱酸化により形成された酸化膜であることを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 1 5】 前記第 3 絶縁膜は、CVD 法により形成された膜であることを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 1 6】 前記第 3 絶縁膜のエッチレートは前記第 1 絶縁膜よりも大きいことを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 1 7】 前記半導体集積回路装置の製造方法は、  
前記 (d) 工程と (e) 工程との間に、前記第 3 絶縁膜に熱処理を施す工程を有することを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 1 8】 前記熱処理は、900℃以上の温度で行われることを特徴とする請求項 1 7 記載の半導体集積回路装置の製造方法。

【請求項 1 9】 前記熱処理は、1000℃以上の温度で行われることを特徴とする請求項 1 7 記載の半導体集積回路装置の製造方法。

【請求項 2 0】 前記第 3 絶縁膜の膜厚は、第 2 絶縁膜の膜厚よりも厚いことを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 2 1】 前記第 1 および第 2 導電膜はポリシリコンからなる膜であることを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 2 2】 前記第 1 絶縁膜形成工程は、前記半導体基板中に溝を形成する工程と、前記溝内に酸化膜を形成する工程とからなることを特徴とする請求

項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 2 3】 前記第 1 領域内の第 1 絶縁膜は、前記第 2 領域内の第 1 絶縁膜より幅が狭いことを特徴とする請求項 1 3 記載の半導体集積回路装置の製造方法。

【請求項 2 4】 半導体基板の第 1 領域内にゲート電極およびソース・ドレイン領域を有する複数の第 1 M I S F E T を有し、第 2 領域内にゲート電極およびソース・ドレイン領域を有する複数の第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記第 1 領域内の前記第 1 M I S F E T 形成領域間および前記第 2 領域の前記第 2 M I S F E T 形成領域間に第 1 絶縁膜を形成する工程と、

(b) 前記第 1 領域に第 1 半導体領域を形成し、前記第 2 領域に第 2 半導体領域を形成する工程と、

(c) 前記第 1 絶縁膜間の前記半導体基板表面に、第 2 絶縁膜を形成する工程と、

(d) 前記第 2 絶縁膜上に、第 3 絶縁膜を堆積する工程と、

(e) 前記第 1 領域内の前記第 2、第 3 絶縁膜を除去する工程であって、前記第 2 領域内の前記第 2 半導体領域上の第 2、第 3 絶縁膜の一部を除去し第 1 開口部を形成する工程と、

(f) 前記半導体基板の前記第 2 領域において、前記第 3 絶縁膜上に、前記第 2 M I S F E T のゲート電極となる第 1 導電膜を形成する工程と、

(g) 前記第 1 領域の半導体基板表面に、第 4 絶縁膜を形成する工程と、

(h) 前記第 1 領域において、前記第 4 絶縁膜上に、前記第 1 M I S F E T のゲート電極となる第 2 導電膜を形成する工程と、

(i) 前記第 1 領域の前記ゲート電極の両側に、前記第 1 半導体領域と逆の導電型を持つ第 3 半導体領域を、前記第 2 領域内の前記第 1 開口部下に前記第 2 半導体領域と同一の導電型を持つ第 4 半導体領域を形成する為に、前記半導体基板表面に不純物を導入する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 5】 前記第 1 開口部を構成する前記第 3 絶縁膜の側壁は前記第

1 絶縁膜上に位置することを特徴とする請求項 2 4 記載の半導体集積回路装置の製造方法。

【請求項 2 6】 前記第 4 半導体領域には固定電圧が印加されることを特徴とする請求項 2 4 記載の半導体集積回路装置の製造方法。

【請求項 2 7】 前記第 1 領域内の第 1 絶縁膜は、前記第 2 領域内の第 1 絶縁膜より幅が狭いことを特徴とする請求項 2 4 記載の半導体集積回路装置の製造方法。

【請求項 2 8】 半導体基板の第 1 領域内に第 1 M I S F E T を有し、第 2 領域内に第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

- (a) 前記第 1 および第 2 領域に第 1 絶縁膜を形成する工程と、
  - (b) 前記第 1 および第 2 領域の前記第 1 絶縁膜上に、第 1 導電膜を堆積する工程と、
  - (c) 前記第 1 領域内の前記第 1 絶縁膜および前記第 1 導電膜を除去する工程と、
  - (d) 前記半導体基板上の前記第 1 領域に、第 2 絶縁膜を形成する工程と、
  - (e) 前記第 1 および第 2 領域に、第 2 導電膜を堆積する工程と、
  - (f) 前記第 1 および第 2 領域に、前記第 1 領域の基板に達するエネルギーで、前記第 2 導電膜上から不純物を打ち込む工程と、
- を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2 9】 前記半導体集積回路装置の製造方法はさらに、

(g) 前記第 1 および第 2 領域の第 2 導電膜上に、それぞれ第 3 導電膜を堆積する工程と、

(h) 前記第 1 領域内の前記第 2 および第 3 導電膜の一部を除去し、第 2 および第 3 導電膜からなる、前記第 1 M I S F E T のゲート電極を形成し、前記第 2 領域内の前記第 2 および第 3 導電膜を除去する工程と、

を有することを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 0】 前記半導体集積回路装置の製造方法はさらに、

(g) 前記第 1 および第 2 領域の第 2 導電膜上に、それぞれ第 3 導電膜を堆積する工程と、



(h) 前記第 1 領域内の前記第 2 および第 3 導電膜の一部を除去し、第 2 および第 3 導電膜からなる、前記第 1 M I S F E T のゲート電極を形成し、前記第 2 領域内の前記第 2 および第 3 導電膜を除去する工程と、

(i) 前記第 2 領域内の前記第 1 導電膜の一部を除去し、前記第 2 M I S F E T のゲート電極を形成する工程と、

を有することを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 1】 前記半導体集積回路装置の製造方法はさらに、

(g) 前記第 1 領域内の前記半導体基板上に、第 4 導電膜を形成する工程を有することを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 2】 前記不純物は前記第 1 導電膜で止まり、前記第 1 絶縁膜に達しないことを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 3】 前記不純物は前記第 1 導電膜で止まり、前記第 2 領域の前記半導体基板に達しないことを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 4】 前記第 1 導電膜は第 2 導電膜よりも厚いことを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 5】 前記半導体集積回路装置の製造方法は、

さらに、工程 (d) と工程 (e) との間に、窒素を含む雰囲気中で加熱する工程を有することを特徴とする請求項 2 8 記載の半導体集積回路装置の製造方法。

【請求項 3 6】 半導体基板の第 1 領域に複数の第 1 M I S F E T を有し、第 2 領域に複数の第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記第 1 領域内の前記第 1 M I S F E T 形成領域間および前記第 2 領域の前記第 2 M I S F E T 形成領域間に第 1 絶縁膜を形成する工程と、

(b) 前記第 1 絶縁膜間の前記半導体基板表面に、第 2 絶縁膜を形成する工程と、

(c) 前記第 1 および第 2 領域の前記 2 絶縁膜上に、第 3 絶縁膜を堆積する工程と、

(d) 前記第 1 領域内の前記第 3 絶縁膜を除去する工程と、

- (e) 前記第 2 領域に、第 1 導電膜を形成する工程と、
  - (f) 前記第 2 領域の前記第 3 絶縁膜を前記第 1 導電膜で覆った状態で、前記第 1 領域の半導体基板表面を露出し、第 4 絶縁膜を形成する工程と、
  - (g) 前記第 1 領域の第 4 絶縁膜上に第 2 導電膜を形成する工程と、
- を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 37】 前記半導体集積回路装置は、さらに第 3 領域を有し、

- (a) 前記第 3 領域に前記第 1 絶縁膜を形成する工程と、
  - (b) 前記第 3 領域の前記第 1 絶縁膜上に、前記第 1 導電膜を形成する工程と
  - (c) 前記第 3 領域内の前記第 1 導電膜上に、第 5 絶縁膜を形成する工程と、
  - (d) 前記第 3 領域内の第 5 絶縁膜上に、前記第 2 導電膜を形成する工程と、
- を有することを特徴とする請求項 36 記載の半導体集積回路装置の製造方法。

【請求項 38】 前記第 1、第 2 導電膜および前記第 5 絶縁膜は容量を構成することを特徴とする請求項 37 記載の半導体集積回路装置の製造方法。

【請求項 39】 前記第 1 領域内の第 1 絶縁膜は、前記第 2 領域内の第 1 絶縁膜より幅が狭いことを特徴とする請求項 36 記載の半導体集積回路装置の製造方法。

【請求項 40】 半導体基板の第 1 領域に複数の第 1 M I S F E T を有し、第 2 領域に複数の第 2 M I S F E T を有する半導体集積回路装置であって、

- (a) 前記第 1 領域の前記第 1 M I S F E T 形成領域間および前記第 2 領域の前記第 2 M I S F E T 形成領域間に位置する第 1 絶縁膜と、
  - (b) 前記第 2 領域の前記第 1 絶縁膜間の前記半導体基板表面に形成された第 2 絶縁膜と、
  - (c) 前記第 2 領域の前記第 1 絶縁膜上および前記第 2 絶縁膜上に形成された第 3 絶縁膜と、
  - (d) 前記第 2 領域の前記第 3 絶縁膜上の第 1 導電膜と、
  - (e) 前記第 1 領域の前記半導体基板表面に形成された第 4 絶縁膜と、
  - (f) 前記第 1 領域の前記第 4 絶縁膜上に形成された第 2 導電膜と、
- を有することを特徴とする半導体集積回路装置。

【請求項 4 1】 前記第 1 絶縁膜の膜厚は、前記第 2、第 3 もしくは第 4 絶縁膜の膜厚より大きいことを特徴とする請求項 4 0 記載の半導体集積回路装置。

【請求項 4 2】 前記第 2 および第 3 絶縁膜の膜厚の和は、前記第 4 絶縁膜の膜厚より大きいことを特徴とする請求項 4 0 記載の半導体集積回路装置。

【請求項 4 3】 半導体基板上に複数の第 1 M I S F E T を有する半導体集積回路装置であって、

(a) 前記第 1 M I S F E T を囲み前記半導体基板表面に形成された第 1 絶縁膜と、

(b) 前記第 1 絶縁膜間の前記半導体基板表面に形成された第 2 絶縁膜と、

(c) 前記第 2 絶縁膜上に形成された第 3 絶縁膜と、

(d) 前記第 3 絶縁膜上に形成された第 1 導電膜と、を有し、

(e) 前記第 3 絶縁膜は前記第 1 絶縁膜上に存在することを特徴とする半導体集積回路装置。

【請求項 4 4】 前記第 1 絶縁膜の膜厚は前記第 2、第 3 絶縁膜の膜厚より大きいことを特徴とする請求項 4 3 記載の半導体集積回路装置。

【請求項 4 5】 前記第 1 絶縁膜上の前記第 3 絶縁膜の端部は、前記第 1 絶縁膜上に位置することを特徴とする請求項 4 3 記載の半導体集積回路装置。

【請求項 4 6】 前記半導体集積回路装置は、さらに、  
第 2 M I S F E T であって、

(a) 前記第 2 M I S F E T 領域の前記第 1 絶縁膜間の前記半導体基板表面に形成された第 2 絶縁膜と、

(b) 前記第 2 絶縁膜上に形成された前記第 1 導電膜と、

を有する第 2 M I S F E T を有することを特徴とする請求項 4 3 記載の半導体集積回路装置。

【請求項 4 7】 前記第 1 領域内の第 1 絶縁膜は、前記第 2 領域内の第 1 絶縁膜より幅が狭いことを特徴とする請求項 4 3 記載の半導体集積回路装置。

【請求項 4 8】 半導体基板の第 1 領域に複数の第 1 M I S F E T を有し、第 2 領域内に複数の第 2 M I S F E T を有する半導体集積回路装置であって、

(a) 前記第 1 領域の前記第 1 M I S F E T 形成領域間および前記第 2 領域の

前記第 2 M I S F E T 形成領域間の前記半導体基板表面に形成された第 1 絶縁膜と、

(b) 前記第 1 領域の前記半導体基板内に形成された第 1 導電型の第 1 半導体領域と、前記第 2 領域の前記半導体基板内に形成され、前記第 1 導電型と反対の第 2 導電型の第 2 半導体領域と、

(c) 前記第 2 半導体領域内の前記第 1 絶縁膜間の前記半導体基板表面に形成された第 2 絶縁膜と、

(d) 前記第 2 半導体領域内の第 2 半導体領域上に、第 1 開口部を持ち、前記第 1 および第 2 絶縁膜上に形成された第 3 絶縁膜と、

(e) 前記第 2 半導体領域内の前記第 3 絶縁膜上に形成された第 1 導電膜と、

(f) 前記第 1 半導体領域内の前記第 1 絶縁膜間の前記半導体基板表面に形成された第 4 絶縁膜と、

(g) 前記第 1 半導体領域内の前記第 4 絶縁膜上に形成された第 2 導電膜と、

(h) 前記第 2 導電膜の両端の前記第 1 半導体領域内に形成された第 2 導電型の第 3 半導体領域と、

(i) 前記第 1 開口部の下であって、前記第 2 半導体領域内に形成された第 2 導電型の第 4 半導体領域と、

を、有することを特徴とする半導体集積回路装置。

【請求項 4 9】 前記第 1 開口部を構成する前記第 3 絶縁膜の端部は、前記第 4 半導体領域と接する側の前記第 1 絶縁膜の端部より前記第 4 半導体領域から離れていることを特徴とする請求項 4 8 記載の半導体集積回路装置。

【請求項 5 0】 前記第 2、第 4 絶縁膜は熱酸化により形成された酸化膜であることを特徴とする請求項 4 8 記載の半導体集積回路装置。

【請求項 5 1】 前記第 3 絶縁膜は CVD 法により形成された膜であることを特徴とする請求項 4 8 記載の半導体集積回路装置。

【請求項 5 2】 前記第 3 半導体領域の深さと前記第 4 半導体領域の深さはほぼ等しいことを特徴とする請求項 4 8 記載の半導体集積回路装置。

【請求項 5 3】 半導体基板上の第 1 領域内に複数の第 1 の M I S F E T を有し、第 2 領域内に複数の第 2 の M I S F E T を有する半導体集積回路装置であ

って、

(a) 前記第 1 領域内の前記第 1 M I S F E T 形成領域間および前記第 2 領域内の前記第 2 M I S F E T 形成領域間に第 1 絶縁膜を持ち、

(b) 前記第 1 領域内の前記半導体基板内に第 1 半導体領域、前記第 2 領域内の前記半導体基板内に第 2 半導体領域を持ち、

(c) 前記半導体基板上の、前記第 1 および第 2 領域中の前記第 1 絶縁膜間に第 2 絶縁膜を持ち、

(d) 前記第 2 領域内の第 2 半導体領域上に、第 1 開口部を持った第 3 絶縁膜を持ち、

(e) 前記第 2 領域内の前記第 2 絶縁膜上には前記第 3 絶縁膜が存在し、

(f) 前記第 1 領域内の前記第 2 絶縁膜上に第 1 導電膜、および第 2 領域内の前記第 3 絶縁膜上に前記第 1 導電膜を持ち、

(g) 前記第 2 領域内の、前記第 1 導電膜の下には前記第 3 絶縁膜があり、

(h) 前記第 1 領域内の前記第 1 導電膜の両端に前記第 1 半導体領域と逆導電型の第 3 半導体領域、および前記第 2 領域内の前記第 1 開口部下に前記第 2 半導体領域と同一半導体型の第 4 半導体領域を持つ、

ことを特徴とする半導体集積回路装置。

【請求項 5 4】 前記第 1 開口部と接する側の前記第 3 絶縁膜の端部は、前記第 4 半導体領域と接する側の前記第 1 絶縁膜の端部より前記第 4 半導体領域から離れていることを特徴とする請求項 5 3 記載の半導体集積回路装置。

【請求項 5 5】 前記第 1 絶縁膜は熱酸化により形成された酸化膜であることを特徴とする請求項 5 3 記載の半導体集積回路装置。

【請求項 5 6】 前記第 3 絶縁膜は CVD 法により形成された酸化膜であることを特徴とする請求項 5 3 記載の半導体集積回路装置。

【請求項 5 7】 前記第 1 導電膜はポリシリコンからなることを特徴とする請求項 5 3 記載の半導体集積回路装置。

【請求項 5 8】 半導体基板の第 1 領域に複数の第 1 M I S F E T を有し、第 2 領域に複数の第 2 M I S F E T を有する半導体集積回路装置であって、

(a) 前記第 1 領域の前記第 1 M I S F E T 形成領域間および前記第 2 領域の

前記第 2 M I S F E T 形成領域間に位置する第 1 絶縁膜と、

(b) 前記第 2 領域の、前記第 1 絶縁膜間の前記半導体基板表面に形成された第 2 絶縁膜と、

(c) 前記第 2 領域に形成された第 3 絶縁膜と、

(d) 前記第 2 領域の前記第 3 絶縁膜上の第 1 導電膜と、

(e) 前記第 1 領域の、前記第 1 絶縁膜間の前記半導体基板表面に形成された第 4 絶縁膜と、

(f) 前記第 1 領域の前記第 4 絶縁膜上に形成された第 2 導電膜と、

を有することを特徴とする半導体集積回路装置。

【請求項 59】 半導体基板の第 1 領域に複数の第 1 M I S F E T を有し、第 2 領域に複数の第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記第 1 および第 2 領域の半導体基板表面に、第 1 絶縁膜を形成する工程と、

(b) 前記第 1 および第 2 領域の、前記 1 絶縁膜上に第 2 絶縁膜を堆積する工程と、

(c) 前記第 2 領域において、前記第 2 絶縁膜上に第 1 導電膜を形成する工程と、

(d) 前記第 2 領域の前記第 2 絶縁膜を前記第 1 導電膜で覆った状態で、前記第 1 領域の半導体基板表面を露出し、第 3 絶縁膜を形成する工程と、

(e) 前記第 1 領域の第 3 絶縁膜上に第 2 導電膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 60】 半導体基板の第 1 領域に複数の第 1 M I S F E T を有し、第 2 領域に複数の第 2 M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記第 1 および第 2 領域の半導体基板表面に、熱酸化膜からなる第 1 絶縁膜を形成する工程と、

(b) 前記第 1 および第 2 領域の、前記 1 絶縁膜上に第 2 絶縁膜を堆積する工程と、

(c) 前記第 2 領域において、前記第 2 絶縁膜上に第 1 導電膜を形成する工程と、

(d) 前記第 2 領域の前記第 2 絶縁膜を前記第 1 導電膜で覆った状態で、前記第 1 領域の半導体基板表面を露出し、熱酸化膜からなる第 3 絶縁膜を形成する工程と、

(e) 前記第 1 領域の第 3 絶縁膜上に第 2 導電膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、特に、高耐圧の M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) と低耐圧の M I S F E T を同一半導体基板に形成した半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】

前記高耐圧 M I S F E T は、液晶表示装置のドライバや、高電流制御を行うモータ制御ドライバ、もしくはプログラム用に高電圧を必要とする不揮発性メモリ等に用いられる。

【0003】

この高耐圧 M I S F E T は、ゲート絶縁膜を厚く形成する他、耐電圧を上げるため、種々の工夫がなされている。

【0004】

例えば、特開平 1 1 - 1 7 7 0 4 7 号公報には、ゲート絶縁膜の厚さが異なる複数種類の電界効果トランジスタのうち、一のトランジスタのゲート絶縁膜 1 0 を熱酸化膜 8 と堆積膜 9 の積層膜により形成する技術が記載されている。

【0005】

また、特開 2 0 0 0 - 6 8 3 8 5 号公報には、高耐圧系 N M O S トランジスタの電界緩和領域 N W ( F D ) を、低耐圧系 P M O S トランジスタのウェル領域 N

W、高耐圧系PMOSトランジスタのウェルHNW領域のチャネルストッパーNW(CS)と同時に形成する技術が記載されている。

【0006】

【発明が解決しようとする課題】

本発明者らは、図40に示すように、高耐圧MISFET(Q<sub>n2</sub>、Q<sub>p2</sub>)のソース、ドレイン領域17、18周辺に電界緩和層9、8を設けることによってドレイン耐圧を向上させることを検討した。

【0007】

しかしながら、図40に示すMISFETの構造では、ゲート電極FG下のゲート絶縁膜5が薄いため、その端部でゲート絶縁膜が切断され、耐圧を確保できないといった問題が生じた。また、電界緩和層9、8がソース、ドレイン領域17、18の両端に分離されているため、電界緩和層とソース、ドレイン領域との境界において電界集中が生じやすかった。その結果、ドレイン耐圧の低下や、静電破壊強度の低下といった問題が生じた。

【0008】

これらの問題のうち、電界緩和層とソース、ドレイン領域との境界において電界集中を緩和するため、ソース、ドレイン領域17、18を電界緩和層9、8で覆った図41に示すような構造が検討されたが、ゲート電極端部のゲート絶縁膜5の切断による耐圧の低下という問題は、解消できていない。

【0009】

一方、図42に示すように、ゲート電極FG端部にフィールド酸化膜4aを設けることにより耐圧の向上を図ることが検討されたが、この場合、電界緩和層9、8とソース、ドレイン領域17、18との境界における電界集中を緩和することができなかった。

【0010】

なお、図40～図42の各部位の機能等は、発明の実施の形態により明確になると思われるため、詳しい説明は省略する。

【0011】

本発明の目的は、微細化された高耐圧のMISFETの構造およびその製造方



法を提供することにある。

【 0 0 1 2 】

また、本発明の他の目的は、寄生MOSの影響を抑えた、高耐圧のMISFETの構造およびその製造方法を提供することにある。

【 0 0 1 3 】

また、本発明の他の目的は、高性能の高耐圧のMISFETの構造およびその製造方法を提供することにある。

【 0 0 1 4 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 6 】

本発明の半導体集積回路装置の製造方法は、第1MISFET形成領域間および第2MISFET形成領域間に第1絶縁膜を形成する工程と、前記第1絶縁膜間の半導体基板表面に第2および第3絶縁膜を形成する工程と、第2MISFETが形成される第2領域の第3絶縁膜上に第1導電膜を形成する工程と、第1MISFETが形成される第1領域の第3及び第2絶縁膜を除去した後に、第1領域に第4絶縁膜を形成する工程と、第4絶縁膜上に第2導電膜を形成する工程とを有し、第2領域の第1絶縁膜上には前記第3絶縁膜が残っている。

【 0 0 1 7 】

本発明の半導体集積回路装置の製造方法は、第1MISFET形成領域間および第2MISFET形成領域間に第1絶縁膜を形成する工程と、第1MISFETが形成される第1領域に第1半導体領域を形成し、第2MISFETが形成される第2領域に第2半導体領域を形成する工程と、前記第1および第2領域に第2および第3絶縁膜を形成する工程と、第1領域の第3及び第2絶縁膜を除去し、第2領域内の前記第2半導体領域上の第2、第3絶縁膜の一部を除去し、第1

開口部を形成する工程と、第2領域の第3絶縁膜上に第2MISFETのゲート電極となる第1導電膜を形成する工程と、第1領域に第4絶縁膜を形成する工程と、第4絶縁膜上に第1MISFETのゲート電極となる第2導電膜を形成する工程と、第1領域の前記ゲート電極の両側に、前記第1半導体領域と逆の導電型を持つ第3半導体領域を、前記第2領域内の前記第1開口部下に前記第2半導体領域と同一の導電型を持つ第4半導体領域を形成する為に、前記半導体基板表面に不純物を導入する工程と、を有する。

## 【0018】

本発明の半導体集積回路装置の製造方法は、第1MISFETが形成される第1領域および第2MISFETが形成される第2領域に第1絶縁膜を形成する工程と、前記第1および第2領域の前記第1絶縁膜上に、第1導電膜を堆積する工程と、前記第1領域内の前記第1絶縁膜および前記第1導電膜を除去する工程と、前記半導体基板上の前記第1領域に、第2絶縁膜を形成する工程と、前記第1および第2領域に、第2導電膜を堆積する工程と、前記第1および第2領域に、前記第1領域の基板に達するエネルギーで、前記第2導電膜上から不純物を打ち込む工程と、を有する。

## 【0019】

本発明の半導体集積回路装置は、第1MISFETが形成される第1領域の第1MISFET形成領域間および第2MISFETが形成される第2領域の第2MISFET形成領域間に位置する第1絶縁膜と、第2領域に形成された第2絶縁膜と、第2領域の第1絶縁膜上および第2絶縁膜上に形成された第3絶縁膜と、第2領域の第3絶縁膜上の第1導電膜と、前記第1領域に形成された第4絶縁膜と、第1領域の第4絶縁膜上に形成された第2導電膜と、を有する。

## 【0020】

本発明の半導体集積回路装置は、前記第2領域の前記半導体基板内に形成され、前記第1領域に形成される第1半導体領域と反対の導電型の第2半導体領域と、前記第2半導体領域内の第2半導体領域上に、第1の開口部を持ち、前記第1および第2絶縁膜上に形成された第3絶縁膜と、前記第1の開口部の下であって、前記第2半導体領域内に形成された前記導電型の第4半導体領域と、を有する

## 【 0 0 2 1 】

本発明の半導体集積回路装置は、第 1 M I S F E T が形成される第 1 領域および第 2 M I S F E T が形成される第 2 領域の各 M I S F E T 形成領域間に位置する第 1 絶縁膜と、第 2 領域の、前記半導体基板表面に形成された第 2 絶縁膜と、第 2 領域に形成された第 3 絶縁膜と、第 2 領域の前記第 3 絶縁膜上の第 1 導電膜と、第 1 領域の、前記半導体基板表面に形成された第 4 絶縁膜と、第 1 領域の前記第 4 絶縁膜上に形成された第 2 導電膜と、を有する。

## 【 0 0 2 2 】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、原則として実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

## 【 0 0 2 3 】

## (実施の形態 1)

本実施形態の半導体集積回路装置の製造方法を図 1 ～図 2 2 を用いて工程順に説明する。

## 【 0 0 2 4 】

まず、図 1 に示すように、p 型の単結晶シリコンからなる半導体基板 1 を準備する。この半導体基板 1 は、低耐圧 n チャネル型 M I S F E T Q n 1 が形成される領域 L N、低耐圧 p チャネル型 M I S F E T Q p 1 が形成される領域 L P、高耐圧 n チャネル型 M I S F E T Q n 2 が形成される領域 H N、高耐圧 p チャネル型 M I S F E T Q p 2 が形成される領域 H P および容量素子 C が形成される領域 C A を有する。

## 【 0 0 2 5 】

この半導体基板 1 の表面に酸化処理を施すことにより酸化シリコン膜 2 を形成する。続いて、酸化シリコン膜の上部に選択的に窒化シリコン膜 3 を形成した後、図 2 に示すように、この窒化シリコン膜 3 をマスクに熱酸化処理を施すことにより 3 0 0 n m 程度の膜厚のフィールド酸化膜 4 (第 1 絶縁膜) を形成する。こ

のフィールド酸化膜4によって、前述のMISFETの形成領域LN、LP、HN、HP間が分離される。ここで、高耐圧MISFETQn2、Qp2形成領域(HN、HP)においては、追って説明するゲート電極FGの両端下部にもフィールド酸化膜4aを形成する。このフィールド酸化膜4aは、高耐圧MISFETQn2、Qp2の耐圧を向上させるために形成される。続いて、半導体基板1上の窒化シリコン膜3を熱リン酸を用いたウェットエッチングにより除去する。

## 【0026】

次に、図3に示すように、高耐圧nチャネル型MISFET形成領域HNおよび容量素子形成領域CA上にレジスト膜R1を形成する。次いで、このレジスト膜R1をマスクに、リンをイオン打ち込みする。この際のイオンの打ち込みエネルギーは、低耐圧nチャネル型MISFET形成領域LN、低耐圧pチャネル型MISFET形成領域LPおよび高耐圧pチャネル型MISFET形成領域HPのフィールド酸化膜4、4a下にも、リンが打ち込まれるよう設定する。次いで、レジスト膜R1を除去する(図4)。

## 【0027】

次いで、図4に示すように、低耐圧nチャネル型MISFET形成領域LN、低耐圧pチャネル型MISFET形成領域LPおよび高耐圧pチャネル型MISFET形成領域HP上にレジスト膜R2を形成する。次いで、このレジスト膜R2をマスクに、ボロンをイオン打ち込みする。この際のイオンの打ち込みエネルギーは、高耐圧nチャネル型MISFET形成領域HNおよび容量素子形成領域CAのフィールド酸化膜4、4a下にも、ボロンが打ち込まれるよう設定する。次いで、レジスト膜R2を除去した後、1200℃の熱処理を施すことによりn型アイソレーション領域6(n型ウエル6)およびp型ウエル7を形成する(図5)。なお、本実施の形態においては、容量素子形成領域CAのフィールド酸化膜4、4a下に、p型ウエル7を形成したが、n型ウエル6を形成してもよい。

## 【0028】

次いで、図5に示すように高耐圧pチャネル型MISFETQp2のソース、ドレイン領域近傍以外の領域上にレジスト膜R3を形成する。次いで、このレジスト膜R3をマスクに、ボロンをイオン打ち込みする。この際のイオンの打ち込

みエネルギーは、高耐圧 p チャンネル型 M I S F E T 形成領域 H P のフィールド酸化膜 4、4 a 下にも、ボロンが打ち込まれるよう設定する。

## 【 0 0 2 9 】

次いで、レジスト膜 R 3 を除去し、図 6 に示すように高耐圧 n チャンネル型 M I S F E T Q n 2 のソース、ドレイン領域近傍以外の領域上にレジスト膜 R 4 を形成する。次いで、このレジスト膜 R 4 をマスクに、リンをイオン打ち込みする。この際のイオンの打ち込みエネルギーは、高耐圧 n チャンネル型 M I S F E T 形成領域 H N のフィールド酸化膜 4、4 a 下にも、リンが打ち込まれるよう設定する。

## 【 0 0 3 0 】

次いで、レジスト膜 R 4 を除去し、熱処理を施すことにより、高耐圧 p チャンネル型 M I S F E T Q p 2 のソース、ドレイン領域近傍に、p 型電界緩和層 8 を、高耐圧 n チャンネル型 M I S F E T Q n 2 のソース、ドレイン領域近傍に、n 型電界緩和層 9 を形成する。

## 【 0 0 3 1 】

次いで、図 7 に示すように低耐圧 p チャンネル型 M I S F E T Q p 1 形成領域 L P 以外の領域上にレジスト膜 R 5 を形成する。次いで、このレジスト膜 R 5 をマスクに、リンをイオン打ち込みし、熱処理を施すことにより n 型ウエル 9 b を形成する。このイオン打ち込みの際、高耐圧 p チャンネル型 M I S F E T 形成領域 H P のフィールド酸化膜 4 下にも、リンをイオン打ち込みすることにより、n 型ウエル 9 c を形成してもよい（図 8）。この n 型ウエル 9 c は、フィールド酸化膜 4 上形成される寄生 M O S (Metal Oxide Semiconductor) の閾値電位  $V_t$  を上げるために形成する。特に、n 型アイソレーション領域 6 および p 型ウエル 7 は、その主表面に形成される高耐圧 M I S F E T Q n 2、Q p 2 の耐圧を確保するため、その不純物濃度が半導体基板 1 の表面に近づくに従って低くなるよう設定されている。その結果、寄生 M O S の閾値電位  $V_t$  が低下する傾向にある。ここで、寄生 M O S とは、フィールド酸化膜 4 上に層間絶縁膜 S Z を介して第 1 層配線が形成された場合（図 2 2 (b) 参照）、フィールド酸化膜 4 および層間絶縁膜 S Z をゲート絶縁膜、第 1 層配線をゲート電極とした不所望な M O S をいう。

このMOSの閾値電位 $V_t$ が低いと、フィールド酸化膜4下に電流が流れやすくなる。

#### 【0032】

次いで、図8に示すように低耐圧nチャネル型MISFET $Q_{n1}$ 形成領域LN以外の領域上にレジスト膜R6を形成する。次いで、このレジスト膜R6をマスクに、ボロンをイオン打ち込みし、熱処理を施すことによりp型ウエル8bを形成する(図9)。このイオン打ち込みの際、高耐圧nチャネル型MISFET形成領域HNのフィールド酸化膜4下にも、ボロンをイオン打ち込みすることにより、p型ウエル8cを形成してもよい。このp型ウエル8cも、n型ウエル9cと同様に、フィールド酸化膜4上形成される寄生MOSの閾値電位 $V_t$ を上げるために形成する。

#### 【0033】

次いで、図9に示すように、半導体基板1上に、不純物をイオン打ち込みする。この不純物は、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ の閾値電位 $V_t$ を調整するために行う。図9においては、半導体基板1の全面にイオン打ち込みを行ったが、高耐圧nチャネル型MISFET形成領域HN、高耐圧pチャネル型MISFET形成領域HPに、それぞれ所望の不純物をイオン打ち込みすることによって、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ の閾値電位 $V_t$ を調整してもよい。

#### 【0034】

次に、半導体基板1表面の薄い酸化シリコン膜2を除去した後、熱酸化によりゲート絶縁膜5の一部となる酸化シリコン膜5a(第2絶縁膜)を形成する。次いで、半導体基板1上に、酸化シリコン膜5b(第3絶縁膜)を減圧化学気相成長法(LPCVD: Low Presser Chemical Vapor Deposition)により堆積する。この酸化シリコン膜5bの膜厚は、酸化シリコン膜5aの膜厚より大きく設定する。

#### 【0035】

次いで、図11(a)に示すように、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極形成予定領域および高耐圧nチャネル型MISFET形成領域HN、高耐圧pチャネル型MISFET形成領域HPおよび容量素子形成領域CAのフィ

ールド酸化膜 4 上に、酸化シリコン膜 5 b が残存するよう、酸化シリコン膜 5 b をパターンニングする。ここで、低耐圧 n チャンネル型 M I S F E T 形成領域 L N、低耐圧 p チャンネル型 M I S F E T 形成領域 L P 上のフィールド酸化膜 4 (高耐圧部と低耐圧部の境界、図中では、p チャンネル型 M I S F E T 形成領域 L P との境界上のフィールド酸化膜 4 を除く高耐圧 n チャンネル型 M I S F E T 形成領域 H N と低耐圧 p チャンネル型 M I S F E T 形成領域 L P との境界上のフィールド酸化膜 4 を除く) 上には、酸化シリコン膜 5 b は、残存させない。また、容量素子形成領域 C A のフィールド酸化膜 4 上に、酸化シリコン膜 5 b を残存させるのは、基板 (p 型ウエル 7) との寄生容量を低減するためである。

## 【 0 0 3 6 】

図 1 1 に示すように、これらの領域 (L N、L P) 上のフィールド酸化膜 4 は、低耐圧部に形成される素子 (M I S F E T Q n 1、Q n 2 等) の高集積化のため、1  $\mu$  m 以下の幅で形成される。従って、低耐圧部に形成されるような幅の狭いフィールド酸化膜 4 上に、酸化シリコン膜 5 b が残存するようパターンニングすることは困難であり、マスクずれが生じやすい。このマスクずれが生じた場合には、酸化シリコン膜 5 b が、M I S F E T Q n 1、Q n 2 のソース、ドレイン形成予定領域やゲート電極形成予定領域上に延在する恐れがある。その結果、M I S F E T Q n 1、Q n 2 のソース、ドレイン領域やゲート電極の幅が狭くなるといった問題が生じる。このような問題を回避するため、低耐圧部のフィールド酸化膜 4 上の酸化シリコン膜 5 b を除去する。

## 【 0 0 3 7 】

また、図 1 1 (b) に示すように、n 型アイソレーション領域 6 および p 型ウエル 7 に、電源電位もしくは接地電位 (固定電位) を供給するための半導体領域 9 d もしくは 8 d 上の半導体領域 (第 4 半導体領域) 上の酸化シリコン膜 5 b も除去する (請求項記載の開口部)。この半導体領域 9 d もしくは 8 d は、自身が形成される n 型アイソレーション領域 6 もしくは p 型ウエル 7 と同じ導電型である。この半導体領域 9 d もしくは 8 d は、n 型アイソレーション領域 6 および p 型ウエル 7 の内部に、少なくとも 1 箇所形成されており、それぞれに電源電位と接地電位が印加される。

## 【0038】

また、MISFET $Q_{n1}$ 、 $Q_{p1}$ 、 $Q_{p2}$ 、 $Q_{n2}$ のソース、ドレイン領域上の酸化シリコン膜5bが、除去されているので、これらの領域のうち同じ導電型の領域を、同時にイオン打ち込みすることが可能となり、マスク数の低減を図ることができる。また、工程の短縮を図ることができる。

## 【0039】

次いで、900℃、望ましくは1000℃以上の熱処理を施すことにより、酸化シリコン膜5bの膜質を改善する。熱処理後の酸化シリコン膜を5cとする（図12）。高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極形成予定領域上の酸化シリコン膜5cは、ゲート絶縁膜5の一部となる。即ち、この酸化シリコン膜5cと酸化シリコン膜5aとで、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート絶縁膜を構成する。このように、酸化シリコン膜5bに、高温熱処理を施すことにより、酸化シリコン膜5bの膜質を、熱酸化膜と同等の膜質とすることができる。酸化シリコン膜5bに熱処理を施さず、ゲート絶縁膜として使用した場合は、酸化シリコン膜5b中にトラップ準位が多く含まれてしまうため、閾値電位 $V_t$ の調整が困難となる。

## 【0040】

また、高耐圧nチャネル型MISFET形成領域HN、高耐圧pチャネル型MISFET形成領域HPおよび容量素子形成領域CAのフィールド酸化膜4上の酸化シリコン膜5cにより、これらの領域上に形成される寄生MOSの閾値電位 $V_t$ を大きくすることができる。

## 【0041】

また、酸化シリコン膜5bは、LPCVDにより形成されるため、熱酸化膜であるフィールド酸化膜4、4aとのエッチング比を大きくとれるため、フィールド酸化膜4、4aの表面をほとんどエッチングすることなく、酸化シリコン膜5bをエッチングすることができる。その結果、フィールド酸化膜4の膜厚を確保することができ、この上部に形成される寄生MOSの閾値電位 $V_t$ を大きく保つことができる。

## 【0042】



次いで、図13に示すように、半導体基板1上に、CVD法により、多結晶シリコン膜（ポリシリコン）10を堆積する。リンを含む雰囲気中で、多結晶シリコンを反応させ、多結晶シリコン膜10中にリンの不純物を含ませてもよい。また、多結晶シリコン膜10形成後、リンをドーピングしてもよい。

## 【0043】

次に、図14(a)に示すように、多結晶シリコン膜10を、高耐圧MISFETQn2、Qp2のゲート絶縁膜5(5a、5c)上に残存するようパターンニングする。この多結晶シリコン膜は、高耐圧MISFETQn2、Qp2のゲート電極FG(第1導電膜)となる。この際、容量素子形成領域CA(第3領域)の酸化シリコン膜5c上にも多結晶シリコン膜10を残存させる。この多結晶シリコン膜10は、容量素子Cの下部電極LEとなる。なお、ここでは、高耐圧MISFETQn2、Qp2のゲート電極を多結晶シリコン膜10(FG)により形成したが、追って詳細に説明するように、高耐圧MISFETQn2、Qp2のゲート電極を後述する多結晶シリコン膜11(SG)により形成してもよい。図14(b)および図16(b)は、高耐圧MISFETQn2、Qp2のゲート電極を多結晶シリコン膜11で形成する場合の説明図である。

## 【0044】

次いで、図15に示すように、半導体基板1上に、不純物をイオン打ち込みする。この不純物は、低耐圧MISFETQn1、Qp1の閾値電位 $V_t$ を調整するために行う。なお、低耐圧nチャネル型MISFET形成領域LNおよび低耐圧pチャネル型MISFET形成領域LPに、それぞれ所望の不純物をイオン打ち込みすることによって、低耐圧MISFETQn1、Qp1の閾値電位 $V_t$ を調整してもよい。

## 【0045】

次に、図16(a)に示すように、低耐圧nチャネル型MISFET形成領域LNおよび低耐圧pチャネル型MISFET形成領域LP上の薄い酸化シリコン膜5aを除去した後、低耐圧MISFETQn1、Qp1のゲート絶縁膜5d(第4絶縁膜)となる酸化シリコン膜を、熱酸化により形成する。この際、高耐圧MISFETQn2、Qp2のゲート電極FGもわずかに酸化される。また、下

部電極LEの表面もわずかに酸化され、酸化シリコン膜（図示せず）が形成される。この酸化シリコン膜は、容量素子Cの容量絶縁膜となる。なお、容量素子Cの信頼性を高めるため、下部電極LEとなる多結晶シリコン膜10の堆積後に、この多結晶シリコン膜10上に、窒化シリコン膜をあらかじめ形成しておき、容量絶縁膜としてもよい。

## 【0046】

このように前述の工程においては、酸化シリコン膜2や酸化シリコン膜5aの除去等、半導体基板表面の薄い酸化膜の除去が繰り返し行われるが、この酸化膜の除去の際、フィールド酸化膜4の表面もエッチングされ膜厚が減少する。しかしながら、本実施の形態によれば、フィールド酸化膜4上の酸化シリコン膜5cによりその膜厚を補償することができるので、この上部に形成される寄生MOSの閾値電位 $V_t$ を高く維持でき、素子間をつなぐ配線によるフィールド酸化膜下の寄生発生を抑えることができる。もちろんその寄生MOSの閾値電位 $V_t$ は、素子に印加される電圧よりも高い必要がある。ここで、低耐圧部のMISFET $Q_{n1}$ 、 $Q_{p1}$ に印加される電圧は、例えば、3.6V程度であり、また、高耐圧部のMISFET $Q_{n2}$ 、 $Q_{p2}$ に印加される電圧は、例えば、20V程度である。なお、酸化シリコン膜2、5dより、酸化シリコン膜5cの膜厚を大きくしておけば、より効果的である。

## 【0047】

次いで、半導体基板1上に、CVD法により、多結晶シリコン膜11を堆積する。次に、多結晶シリコン膜11を、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート絶縁膜5d上に残存するようパターニングする。この多結晶シリコン膜11は、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート電極SG（第2導電膜）となる。この際、容量素子形成領域CAの下部電極LE上の容量絶縁膜（図示せず）上にも多結晶シリコン膜11を残存させる。この多結晶シリコン膜11は、容量素子Cの上部電極UEとなる。なお、多結晶シリコン膜11の表面にタングステンシリサイド層を形成した後、パターニングすることによってゲート電極SGを形成してもよい。このタングステンシリサイド層は、多結晶シリコン膜11上に、タングステン膜等の金属膜を堆積し、熱処理を施すことにより形成する。このシリ

サイド層は、ゲート電極SGの低抵抗化のために形成する。

【0048】

次いで、低耐圧MISFETQ<sub>n1</sub>、Q<sub>p1</sub>および高耐圧MISFETQ<sub>n2</sub>、Q<sub>p2</sub>のソース、ドレイン領域を形成するが、以下これらのソース、ドレイン領域の形成について説明する。

【0049】

図17に示すように、半導体基板1上にレジスト膜R7を形成し、低耐圧nチャネル型MISFET形成領域LN上を開孔する。次いで、レジスト膜R7および低耐圧MISFETQ<sub>n1</sub>のゲート電極SGをマスクに、リンをイオン注入する。

【0050】

次いで、レジスト膜R7を除去した後、図18に示すように、半導体基板1上にレジスト膜R8を形成し、低耐圧pチャネル型MISFET形成領域LP上を開孔する。次いで、レジスト膜R8および低耐圧MISFETQ<sub>p1</sub>のゲート電極SGをマスクに、ボロンをイオン注入する。

【0051】

次いで、レジスト膜R8を除去した後、低耐圧MISFETQ<sub>n1</sub>およびQ<sub>n2</sub>のゲート電極SGの両側に、それぞれ注入されたリンおよびボロンを熱拡散させることによって、p<sup>-</sup>型半導体領域14およびn<sup>-</sup>型半導体領域13を形成する(図19)。

【0052】

次いで、図19に示すように、半導体基板1上に酸化シリコン膜を堆積した後、エッチバックすることにより、低耐圧MISFETQ<sub>n1</sub>およびQ<sub>n2</sub>のゲート電極SGの側壁にサイドウォール膜16sを形成する。

【0053】

次いで、図20に示すように、低耐圧pチャネル型MISFET形成領域LP、高耐圧pチャネル型MISFET形成領域HPおよび高耐圧nチャネル型MISFETQ<sub>n2</sub>のゲート電極FG上にレジスト膜R9を形成する。次いで、レジスト膜R9をマスクに、ヒ素(As)をイオン注入し、アニールし、活性化する

ことによって、低耐圧 $n$ チャネル型MISFET $Q_{n1}$ および高耐圧 $n$ チャネル型MISFET $Q_{n2}$ のゲート電極(SG、FG)の両側に、 $n^+$ 型半導体領域17(ソース、ドレイン領域)を形成する(図21)。

## 【0054】

次いで、図21に示すように、低耐圧 $n$ チャネル型MISFET形成領域LN、高耐圧 $n$ チャネル型MISFET形成領域HNおよび高耐圧 $p$ チャネル型MISFET $Q_{p2}$ のゲート電極FG上にレジスト膜R10を形成する。次いで、レジスト膜R10をマスクに、ボロンをイオン注入し、アニールし、活性化することによって、低耐圧 $p$ チャネル型MISFET $Q_{p1}$ および高耐圧 $p$ チャネル型MISFET $Q_{p2}$ のゲート電極(SG、FG)の両側に、 $p^+$ 型半導体領域18(ソース、ドレイン領域)を形成する(図22(a))。なお、この際ボロンは、フィールド酸化膜4、4aおよび酸化シリコン膜5c下には、注入されない。

## 【0055】

ここで、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極FG上に、レジスト膜R7、R8を残存させるのは、イオン注入により、ゲート電極FGが帯電し、ゲート酸化膜の絶縁破壊が生じることを防ぐためである。

## 【0056】

ここまでの工程で、低耐圧部(LN、LP(第1領域))に、LDD(Lightly Doped Drain)構造のソース、ドレイン( $n^-$ 型半導体領域13および $n^+$ 型半導体領域17、 $p^-$ 型半導体領域14および $p^+$ 型半導体領域18)を備えた低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ (第1MISFET)が形成される。また、高耐圧部(HN、HP(第2領域))に、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ (第2MISFET)が形成される。

## 【0057】

次いで、これらのMISFET $Q_{n1}$ 、 $Q_{n2}$ 、 $Q_{p1}$ 、 $Q_{p2}$ および容量素子C上に、酸化シリコン膜等からなる層間絶縁膜SZを堆積し、所望の領域上にコンタクトホール(図示せず)を形成した後、コンタクトホール内を含む層間絶縁膜上に第1層配線M1を形成する(図22(b)参照)。また、第1層配線M

1 上には、さらに、層間絶縁膜と配線用のメタルの形成を繰り返すことによって多層配線を形成することが可能である。また、最上層配線上には、チップ全体を覆う保護膜が形成されるが、その図および詳細な説明は省略する。

## 【 0 0 5 8 】

なお、本実施の形態においては、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート電極SGを多結晶シリコン膜11により形成し、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極FGを多結晶シリコン膜10により形成したが、これらのゲート電極を多結晶シリコン膜11により形成することも可能である。

## 【 0 0 5 9 】

即ち、図14(b)に示すように、本実施の形態の多結晶シリコン膜10の堆積(図13参照)後、容量素子形成領域CAの酸化シリコン膜5c上にのみ多結晶シリコン膜10を残存させ、下部電極LEを形成する。

## 【 0 0 6 0 】

次いで、半導体基板1上に、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ の閾値電位 $V_t$ を調整するために、不純物をイオン打ち込みする(図15参照)。次いで、図16(b)に示すように、低耐圧nチャネル型MISFET形成領域LNおよび低耐圧pチャネル型MISFET形成領域LP上の薄い酸化シリコン膜5aを除去し、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート絶縁膜5dとなる酸化シリコン膜を、熱酸化により形成する。

## 【 0 0 6 1 】

次いで、半導体基板1上に、CVD法により、多結晶シリコン膜11を堆積し、多結晶シリコン膜11を、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート絶縁膜5(5a、5c)および低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート絶縁膜5d上に残存するようパターニングする。

## 【 0 0 6 2 】

以上の工程によれば、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ および高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極を多結晶シリコン膜11(SG)により、同時に形成することができる。なお、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ および高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極を多結晶シリコン膜10(FG)

で形成することも可能であるが、以降の多結晶シリコン膜 1 1 の堆積およびパターンニング工程において、前記ゲート電極の側壁に多結晶シリコン膜 1 1 が残存し、M I S F E T の特性に影響を与えてしまう。従って、多結晶シリコン膜 1 1 で、これらのゲート電極を形成することが望ましい。

## 【 0 0 6 3 】

## (実施の形態 2)

実施の形態 1 においては、M I S F E T の形成領域 L N、L P、H N、H P 間の分離にフィールド酸化膜 4 を用いたが、溝内に埋め込まれた酸化膜を用いて分離を行ってもよい。

## 【 0 0 6 4 】

本実施の形態の半導体集積回路装置の製造方法を図 2 3 ～図 3 3 を用いて工程順に説明する。

## 【 0 0 6 5 】

まず、図 2 3 に示すように、p 型の単結晶シリコンからなる半導体基板 1 を準備する。この半導体基板 1 は、低耐圧 n チャネル型 M I S F E T Q n 1 が形成される領域 L N、低耐圧 p チャネル型 M I S F E T Q p 1 が形成される領域 L P、高耐圧 n チャネル型 M I S F E T Q n 2 が形成される領域 H N および高耐圧 p チャネル型 M I S F E T Q p 2 が形成される領域 H P を有する。

## 【 0 0 6 6 】

この半導体基板 1 の表面に酸化処理を施すことにより酸化シリコン膜 2 を形成する。続いて、酸化シリコン膜の上部に選択的に窒化シリコン膜 3 を形成した後、図 2 4 に示すように、この窒化シリコン膜 3 をマスクに、半導体基板 1 をエッチングして深さ 3 0 0 nm 程度の溝 U を形成する。ここで、高耐圧 M I S F E T Q n 2、Q p 2 形成領域 (H N、H P) においては、後述するゲート電極の両端下部にも溝を形成する。

## 【 0 0 6 7 】

次いで、基板 1 を約 1 0 0 0 °C で熱酸化することによって、溝の内壁に膜厚 1 0 nm 程度の薄い酸化シリコン膜 (図示せず) を形成する。この酸化シリコン膜は、溝の内壁に生じたドライエッチングのダメージを回復すると共に、次の工程で

溝の内部に埋め込まれる酸化シリコン膜104と基板1との界面に生じるストレスを緩和するために形成する。

## 【0068】

次に、図25に示すように、溝の内部を含む基板1上にCVD法により酸化シリコン膜104を堆積し、溝の上部の酸化シリコン膜104を、窒化シリコン膜3をストッパー膜として、化学的および機械的に研磨してその表面を平坦化する。次いで、窒化シリコン膜3を除去することにより、素子分離104および高耐圧MISFET $Q_n2$ 、 $Q_p2$ の耐圧を向上させるための酸化シリコン膜104aが完成する(図26(a))。

## 【0069】

ここで、図26(b)に示すように、酸化シリコン膜104、104aの表面は、前述の研磨時、以降の不純物の注入工程等における半導体基板表面の洗浄もしくは酸化シリコン膜5a形成前の薄い酸化シリコン膜2の除去等により、溝の端部において酸化シリコン膜104、104aの表面が後退するという現象(リセス現象)が発生する。このリセス現象が、発生すると追って詳細に説明するように、MISFETの耐圧の劣化や、キンク現象の発生など、種々の問題が生じ得る。なお、以降の図面においては、図面を分かりやすくするため、酸化シリコン膜104、104aの表面の後退については、図示しない。

## 【0070】

また、以降の工程のうち、実施の形態1の場合と同様の工程は、重複説明を避け、概要のみを説明する。

## 【0071】

まず、図27に示すように、高耐圧nチャネル型MISFET形成領域HNの酸化シリコン膜104、104a下に、ボロンをイオン打ち込みし、p型ウエル6を形成する。

## 【0072】

また、高耐圧pチャネル型MISFET形成領域HPの酸化シリコン膜104、104a下に、リンをイオン打ち込みし、n型ウエル7を形成する。

## 【0073】

この際のイオン（リン、ボロン）の打ち込みエネルギーは、高耐圧 n チャンネル型 M I S F E T 形成領域 H N および高耐圧 p チャンネル型 M I S F E T 形成領域 H P の酸化シリコン膜 1 0 4、1 0 4 a 下にも、イオンが打ち込まれるよう設定する。

#### 【 0 0 7 4 】

次いで、図 2 8 に示すように、高耐圧 p チャンネル型 M I S F E T Q p 2 のソース、ドレイン領域近傍に、ボロンをイオン打ち込みすることにより、p 型電界緩和層 8 を形成する。また、高耐圧 n チャンネル型 M I S F E T Q n 2 のソース、ドレイン領域近傍に、リンをイオン打ち込みすることにより、n 型電界緩和層 9 を形成する。この際のイオン（リン、ボロン）の打ち込みエネルギーは、酸化シリコン膜 1 0 4、1 0 4 a 下にも、イオンが打ち込まれるよう設定する。

#### 【 0 0 7 5 】

次に、図 2 9 に示すように、半導体基板 1 表面の薄い酸化シリコン膜 2 を除去した後、熱酸化によりゲート絶縁膜 5 の一部となる酸化シリコン膜 5 a を形成する。次いで、半導体基板 1 上に、酸化シリコン膜 5 b を減圧化学気相成長法により堆積する。次いで、高耐圧 M I S F E T Q n 2、Q p 2 のゲート電極形成予定領域および高耐圧 n チャンネル型 M I S F E T 形成領域 H N および高耐圧 p チャンネル型 M I S F E T 形成領域 H P の酸化シリコン膜 1 0 4 上に、酸化シリコン膜 5 b が残存するよう、酸化シリコン膜 5 b をパターニングする。ここで、低耐圧 n チャンネル型 M I S F E T 形成領域 L N、低耐圧 p チャンネル型 M I S F E T 形成領域 L P 上の酸化シリコン膜 1 0 4（高耐圧部と低耐圧部の境界、図中では、高耐圧 n チャンネル型 M I S F E T 形成領域 H N と低耐圧 p チャンネル型 M I S F E T 形成領域 L P との境界上のフィールド酸化膜 4 を除く）上には、酸化シリコン膜 5 b は、残存させない。これは、実施の形態 1 において説明した通り、これらの領域上の酸化シリコン膜 1 0 4 の幅が狭いことから、マスクずれによる M I S F E T Q n 1、Q n 2 のソース、ドレイン領域もしくはゲート電極の幅の縮小化を防止するためである。

#### 【 0 0 7 6 】

次いで、9 0 0℃以上の熱処理を施すことにより、酸化シリコン膜 5 b の膜質



を改善する。熱処理後の酸化シリコン膜を 5 c とする。高耐圧 M I S F E T Q n 2、Q p 2 のゲート電極形成予定領域上の酸化シリコン膜 5 c は、ゲート絶縁膜 5 の一部となる。即ち、この酸化シリコン膜 5 c と酸化シリコン膜 5 a とで、高耐圧 M I S F E T Q n 2、Q p 2 のゲート絶縁膜 5 を構成する。

## 【 0 0 7 7 】

また、高耐圧 n チャネル型 M I S F E T 形成領域 H N および高耐圧 p チャネル型 M I S F E T 形成領域 H P の酸化シリコン膜 1 0 4 上の酸化シリコン膜 5 c により、これらの領域上に形成される寄生 M O S の閾値電位  $V_t$  を大きくすることができる。

## 【 0 0 7 8 】

また、酸化シリコン膜 5 b は、L P C V D により形成されるため、酸化シリコン膜 1 0 4、1 0 4 a とのエッチング比を大きくとれるため、酸化シリコン膜 1 0 4、1 0 4 a の表面をほとんどエッチングすることなく、酸化シリコン膜 5 b をエッチングすることができる。その結果、酸化シリコン膜 1 0 4 の膜厚を確保することができ、この上部に形成される寄生 M O S の閾値電位  $V_t$  を大きくすることができる。また、前述したリセス現象による酸化シリコン膜 1 0 4、1 0 4 a の表面の後退量を低減することができる。

## 【 0 0 7 9 】

次いで、図 3 0 に示すように、半導体基板 1 上に、C V D 法により、多結晶シリコン膜 1 0 を堆積する。この多結晶シリコン膜 1 0 中には、リン等の不純物を含ませてもよい。次に、多結晶シリコン膜 1 0 を、高耐圧 M I S F E T Q n 2、Q p 2 のゲート絶縁膜 5 ( 5 a、5 c ) 上に残存するようパターニングする。この多結晶シリコン膜 1 0 は、高耐圧 M I S F E T Q n 2、Q p 2 のゲート電極 F G となる。

## 【 0 0 8 0 】

次いで、図 3 1 に示すように、低耐圧 n チャネル型 M I S F E T 形成領域 L N に、ボロンをイオン打ち込みすることにより p 型ウエル 8 b を形成する。このイオン打ち込みの際、高耐圧 n チャネル型 M I S F E T 形成領域 H N の酸化シリコン膜 1 0 4 下にも、ボロンをイオン打ち込みすることにより、p 型ウエル 8 c を

形成してもよい。また、低耐圧 p チャンネル型 M I S F E T 形成領域 L P に、リンをイオン打ち込みすることにより n 型ウエル 9 b を形成する。このイオン打ち込みの際、高耐圧 p チャンネル型 M I S F E T 形成領域 H P の酸化シリコン膜 1 0 4 下にも、ボロンをイオン打ち込みすることにより、n 型ウエル 9 c を形成してもよい。この p 型ウエル 8 c および n 型ウエル 9 c は、酸化シリコン膜 1 0 4 上形成される寄生 M O S の閾値電位  $V_t$  を上げるために形成する。

## 【 0 0 8 1 】

次に、図 3 2 に示すように、低耐圧 n チャンネル型 M I S F E T 形成領域 L N および低耐圧 p チャンネル型 M I S F E T 形成領域 L P 上の薄い酸化シリコン膜 5 a を除去した後、低耐圧 M I S F E T Q n 1、Q p 1 のゲート絶縁膜 5 d を、熱酸化により形成する。

## 【 0 0 8 2 】

次いで、半導体基板 1 上に、C V D 法により、多結晶シリコン膜 1 1 を堆積する。次に、多結晶シリコン膜 1 1 を、低耐圧 M I S F E T Q n 1、Q p 1 のゲート絶縁膜 5 d 上に残存するようパターニングする。この多結晶シリコン膜 1 1 は、低耐圧 M I S F E T Q n 1、Q p 1 のゲート電極 S G となる。なお、多結晶シリコン膜 1 1 の表面にタンゲステンシリサイド層を形成した後、パターニングすることによってゲート電極 S G を形成してもよい。このシリサイド層は、ゲート電極 S G の低抵抗化のために形成する。

## 【 0 0 8 3 】

次いで、図 3 3 ( a ) に示すように、低耐圧 M I S F E T Q n 1 のゲート電極 S G の両側に、リンをイオン注入することにより、 $n^-$ 型半導体領域 1 3 を形成する。また、低耐圧 M I S F E T Q n 2 のゲート電極 S G の両側に、ボロンをイオン注入することにより、 $p^-$ 型半導体領域 1 4 を形成する。

## 【 0 0 8 4 】

次いで、ゲート電極 F G および S G 上に酸化シリコン膜 1 5 を形成した後、半導体基板 1 上に酸化シリコン膜を堆積し、エッチバックすることにより、ゲート電極 F G、S G と酸化シリコン膜 1 5 との積層膜の側壁にサイドウォール膜 1 6 s を形成する。

## 【0085】

次いで、低耐圧 $n$ チャネル型MISFET $Q_{n1}$ および高耐圧 $n$ チャネル型MISFET $Q_{n2}$ のゲート電極（SG、FG）の両側に、ヒ素をイオン注入することによって、 $n^+$ 型半導体領域17を形成する。また、ボロンをイオン注入することによって、低耐圧 $p$ チャネル型MISFET $Q_{p1}$ および高耐圧 $p$ チャネル型MISFET $Q_{p2}$ のゲート電極（SG、FG）の両側に、 $p^+$ 型半導体領域18を形成する。なお、この際ヒ素およびボロンは、酸化シリコン膜104、104aおよび酸化シリコン膜5c下には、注入されない。

## 【0086】

ここまでの工程で、低耐圧部（LN、LP）に、LDD（Lightly Doped Drain）構造のソース、ドレイン（ $n^-$ 型半導体領域13および $n^+$ 型半導体領域17、 $p^-$ 型半導体領域14および $p^+$ 型半導体領域18）を備えた低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ が形成される。また、高耐圧部（HN、HP）に、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ が形成される。

## 【0087】

このように、本実施の形態によれば、酸化シリコン膜104の膜厚を確保することができるので、リセスの発生を低減することができる。その結果、リセスによる耐圧の低下やキンク現象の発生を低減することができる。ここで、耐圧の低下は、リセスの発生により発生した酸化シリコン膜104の表面の段差部に、電界が集中することにより起こる。また、キンク現象とは、MISFETのサブスレシヨルド特性（ゲート電圧（横軸）対ドレイン電流（縦軸）の関係による特性）において、ゲート電圧が小さい領域でドレイン電流が大きくなり、2段波形を示す現象をいう。

## 【0088】

図33（b）は、図33（a）の拡大図であり、図26（b）を参照しながら説明したリセスも図示している。

## 【0089】

次いで、これらのMISFET $Q_{n1}$ 、 $Q_{n2}$ 、 $Q_{p1}$ 、 $Q_{p2}$ 上に層間絶縁膜と配線用のメタルの形成を繰り返すことによって多層の配線が形成され、また

、最上層配線上には、チップ全体を覆う保護膜が形成されるが、その図および詳細な説明は省略する。

### 【0090】

#### (実施の形態3)

本実施形態の半導体集積回路装置の製造方法を図34～図39を用いて工程順に説明する。

### 【0091】

まず、図34に示すように、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート絶縁膜5(5a、5c)上にゲート電極FGが形成された半導体基板1を準備する。この半導体基板1の製造工程は、図1～図14を参照しながら説明した実施の形態1の工程と同様であるため、その説明を省略する。なお、図34に示す半導体基板は、酸化シリコン膜104、104a上に、酸化シリコン膜5cを有しているため、実施の形態1の場合と同様に、酸化シリコン膜104の膜厚を確保することができ、この上部に形成される寄生MOSの閾値電位 $V_t$ を大きくすることができる。

### 【0092】

次に、図35に示すように、低耐圧nチャネル型MISFET形成領域LNおよび低耐圧pチャネル型MISFET形成領域LP上の薄い酸化シリコン膜5aを除去した後、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート絶縁膜5dを、熱酸化により形成する。この際、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極FGもわずかに酸化(5e)される。また、下部電極LEの表面もわずかに酸化され、酸化シリコン膜(5f)が形成される(図35)。この酸化シリコン膜5fは、容量素子Cの容量絶縁膜となる。容量素子Cの信頼性を高めるため、下部電極LEとなる多結晶シリコン膜10の堆積後に、この多結晶シリコン膜10上に、窒化シリコン膜をあらかじめ形成しておき、容量絶縁膜としてもよい。

### 【0093】

次いで、窒素雰囲気下で熱処理を行うことにより、ゲート絶縁膜5dを窒化する。このように、ゲート絶縁膜5dの界面に窒素を導入することにより、ドレイン端で発生するホットキャリアによる閾値電位 $V_t$ の変動を抑えることができる。

## 【0094】

次いで、図36に示すように、半導体基板1上に、CVD法により、多結晶シリコン膜111を堆積する。この多結晶シリコン膜111は、低耐圧MISFET $Q_{n1}$ 、 $Q_{p1}$ のゲート電極SGの一部となる。

## 【0095】

ここで、この窒化処理を後述する閾値電位 $V_t$ の調整のための不純物注入工程の後に行うと、この窒化処理で不純物が拡散し、閾値電位 $V_t$ の調整が困難となる。一方、窒化処理後に、前記不純物注入工程を行う場合であっても、この不純物注入工程後に、前記多結晶シリコン膜111を形成する場合には、ゲート絶縁膜5dが露出した状態で、不純物が注入されることとなり、イオン打ち込み装置内に存在する重金属により、ゲート絶縁膜5dが汚染されるという問題が生じる。

## 【0096】

従って、以下に説明するように、ゲート絶縁膜5d上に多結晶シリコン膜111を形成した状態で、多結晶シリコン膜111を介して、半導体基板1上に、不純物をイオン打ち込みする。

## 【0097】

まず、図36に示すように、低耐圧MISFET $Q_{n1}$ の閾値電位 $V_t$ を調整するために、半導体基板1上に、不純物をイオン打ち込みする。次いで、図37に示すように、低耐圧pチャネル型MISFET形成領域LP上に、不純物をイオン打ち込みする。この不純物は、低耐圧MISFET $Q_{p1}$ の閾値電位 $V_t$ を調整するために行う。この際、高耐圧MISFET $Q_{n2}$ 、 $Q_{p2}$ のゲート電極FG上には、酸化シリコン膜5eおよび多結晶シリコン膜111が形成されているため、前記不純物は、これらの膜中に留まり、ゲート絶縁膜5(5a、5c)中に不純物が注入されるのを防止することができる。

## 【0098】

ゲート絶縁膜5中に不純物が注入された場合には、いわゆるNBT(negative bias temperature)の問題が顕著になる。これは、pチャネル型MISFET

のゲート電極に、負電位を印加するだけで、その閾値電位  $V_t$  が大きくなる現象をいい、特に、ゲート電極が p 型の場合に、顕著に現れる。この現象には、ゲート絶縁膜中のボロンの存在が深く関係していると考えられており、ゲート絶縁膜中に不純物が含まれている場合に発生しやすくなると思われる。

## 【0099】

しかしながら、本実施の形態においては、ゲート絶縁膜 5 中に不純物が注入されるのを防止することができ、NBT 現象の発生を低減することができる。

## 【0100】

次いで、多結晶シリコン膜 111 上に多結晶シリコン膜 111b を堆積する。この多結晶シリコン膜 111 と 111b は、低耐圧 MISFET  $Q_{n1}$ 、 $Q_{p1}$  のゲート電極 SG となる。従って、多結晶シリコン膜 111、111b を、ゲート絶縁膜 5d 上に残存するようパターニングする (図 38)。この際、容量素子形成領域 CA の下部電極 LE 上の酸化シリコン膜 5f 上にも多結晶シリコン膜 111 および 111b を残存させる。この多結晶シリコン膜 111、111b は、容量素子 C の上部電極 UE となる。なお、多結晶シリコン膜 111b の表面にタングステンシリサイド層を形成した後、パターニングすることによってゲート電極 SG を形成してもよい。このタングステンシリサイド層は、多結晶シリコン膜 111b 上に、タングステン膜等の金属膜を堆積し、熱処理を施すことにより形成する。このシリサイド層は、ゲート電極 SG の低抵抗化のために形成する。

## 【0101】

なお、前述の多結晶シリコン膜 10 のパターニングの際、低耐圧部 (LN、LP) 上の多結晶シリコン膜 10 のみを除去し、高耐圧部 (HN、HP) 上の多結晶シリコン膜 10 のパターニングをゲート電極 SG 形成後に行ってもよい。

## 【0102】

このように、低耐圧 MISFET  $Q_{n1}$ 、 $Q_{p1}$  のゲート電極 SG を、多結晶シリコン膜 111 と多結晶シリコン膜 111b との積層膜としたのは、低耐圧 MISFET  $Q_{n1}$ 、 $Q_{p1}$  の閾値電位調整用の不純物を精度良くイオン打ち込みするためである。即ち、このイオン打ち込みの前に膜厚の大きい多結晶シリコン膜 111 を介してイオン打ち込みする場合には、不純物の制御が困難であり、所

望の閾値電位  $V_t$  が得られない。

#### 【0103】

また、前述した通り、ゲート電極 SG 上に、シリサイド層を形成する場合、ゲート電極を構成する多結晶シリコン膜 111 が薄いと、その下層のゲート絶縁膜中のシリコンまでもがシリサイド化反応を起こし、ゲート絶縁膜 5d の耐圧が低下する。

#### 【0104】

しかしながら、本実施の形態においては、低耐圧 MISFET  $Q_{n1}$ 、 $Q_{p1}$  のゲート電極 SG を、多結晶シリコン膜 111 と多結晶シリコン膜 111b との積層膜としたので、閾値電位調整用の不純物を精度良くイオン打ち込みでき、また、ゲート絶縁膜 5d の耐圧が確保することができる。

#### 【0105】

次いで、低耐圧 MISFET  $Q_{n1}$ 、 $Q_{p1}$  および高耐圧 MISFET  $Q_{n2}$ 、 $Q_{p2}$  のソース、ドレイン領域を形成するが、以降の工程は、図 17～図 22 を参照しながら説明した実施の形態 1 の場合と同様であるため、その説明を省略する。

#### 【0106】

なお、本実施の形態においては、図 34 に示すように、高耐圧 MISFET  $Q_{n2}$ 、 $Q_{p2}$  のゲート電極形成予定領域および高耐圧 n チャネル型 MISFET 形成領域 HN、高耐圧 p チャネル型 MISFET 形成領域 HP および容量素子形成領域 CA のフィールド酸化膜 4 上に、酸化シリコン膜 5c が形成された半導体基板 1 を用いたが、この酸化シリコン膜 5c の形成工程を省略しても、ゲート酸化膜 5a 中に、ボロンが注入されることを防止できるため、上述の NBT 現象の発生を抑制することができる。

#### 【0107】

図 39 に、酸化シリコン膜 5c を形成しなかった場合の半導体基板の要部断面図を示す。なお、この半導体集積回路装置の製造方法は、実施の形態 1（酸化シリコン膜 5c の形成工程を除く）および本実施の形態で説明した工程と、同様であるため、その説明を省略する。

【0108】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0109】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0110】

本発明によれば、フィールド酸化膜4や溝内に形成された酸化シリコン膜104（第1絶縁膜）上に、酸化シリコン膜5c（第3絶縁膜）を形成したので、フィールド酸化膜4等の上に形成される寄生MOSの閾値電位を上げることができる。

【0111】

また、本発明によれば、低耐圧MISFETのゲート電極を構成する導電膜（第2導電膜）が、高耐圧MISFETのゲート電極（第1導電膜）上に存在する状態で、低耐圧MISFET閾値調整用の不純物の注入を行ったので、NBT現象の発生を抑制することができる。

【0112】

また、本発明によれば、微細化された高性能の半導体集積回路装置を形成することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図2】

本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図3】



本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 4】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 5】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 6】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 7】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 8】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 9】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 10】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 11】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 12】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 3】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 4】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 5】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 6】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 7】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 8】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 9】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 0】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 1】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 2】

本発明の実施の形態 1 である半導体集積回路装置の製造方法を示す基板の要部

断面図である。

【図 2 3】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 4】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 5】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 6】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 7】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 8】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 9】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 0】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 1】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 2】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 3】

本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 4】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 5】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 6】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 7】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 8】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 9】

本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 4 0】

本発明の課題を説明するための図である。

【図 4 1】

本発明の課題を説明するための図である。

【図 4 2】

本発明の課題を説明するための図である。

【符号の説明】

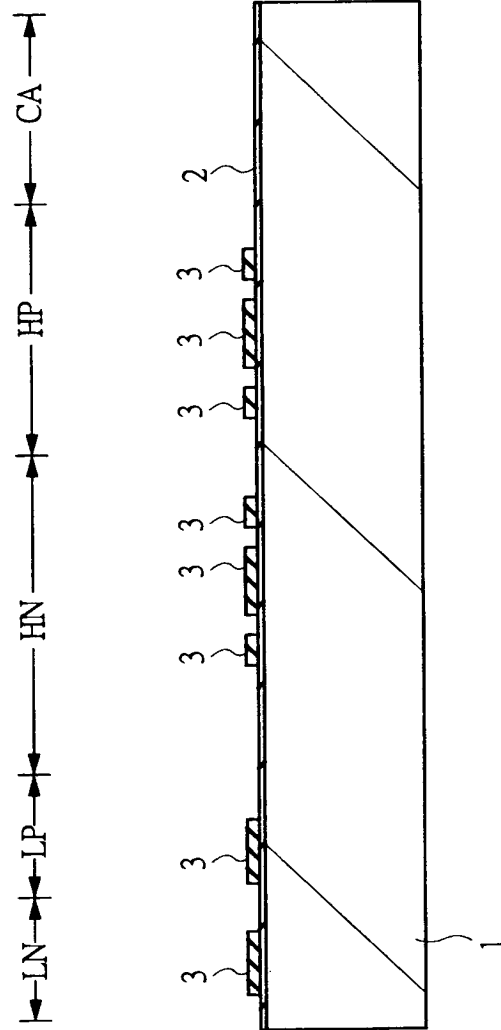
- 1 半導体基板
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 フィールド酸化膜
- 4 a フィールド酸化膜
- 5 ゲート絶縁膜
- 5 a 酸化シリコン膜
- 5 b 酸化シリコン膜
- 5 c 酸化シリコン膜
- 5 d ゲート絶縁膜
- 5 f 酸化シリコン膜
- 6 n型アイソレーション領域 (n型ウエル)
- 7 p型ウエル
- 8 p型電界緩和層
- 8 b p型ウエル
- 8 c p型ウエル
- 8 d 半導体領域
- 9 n型電界緩和層
- 9 b n型ウエル
- 9 c n型ウエル
- 9 d 半導体領域
- 1 0 多結晶シリコン膜
- 1 1 多結晶シリコン膜
- 1 3  $n^-$ 型半導体領域
- 1 4  $p^-$ 型半導体領域
- 1 6 s サイドウォール膜
- 1 7  $n^+$ 型半導体領域 (ソース、ドレイン領域)
- 1 8  $p^+$ 型半導体領域 (ソース、ドレイン領域)

1 0 4 酸化シリコン膜  
 1 0 4 a 酸化シリコン膜  
 1 1 1 多結晶シリコン膜  
 1 1 1 b 多結晶シリコン膜  
 F G ゲート電極  
 S G ゲート電極  
 S Z 層間絶縁膜  
 U 溝  
 C 容量素子  
 U E 上部電極  
 L E 下部電極  
 R 1 ~ R 1 0 レジスト膜  
 M 1 第 1 層配線  
 C A 容量素子形成領域  
 H N 高耐圧 n チャネル型 M I S F E T 形成領域  
 H P 高耐圧 p チャネル型 M I S F E T 形成領域  
 L N 低耐圧 n チャネル型 M I S F E T 形成領域  
 L P 低耐圧 p チャネル型 M I S F E T 形成領域  
 Q n 1 低耐圧 n チャネル型 M I S F E T  
 Q n 2 高耐圧 n チャネル型 M I S F E T  
 Q p 1 低耐圧 p チャネル型 M I S F E T  
 Q p 2 高耐圧 p チャネル型 M I S F E T

【書類名】 図面

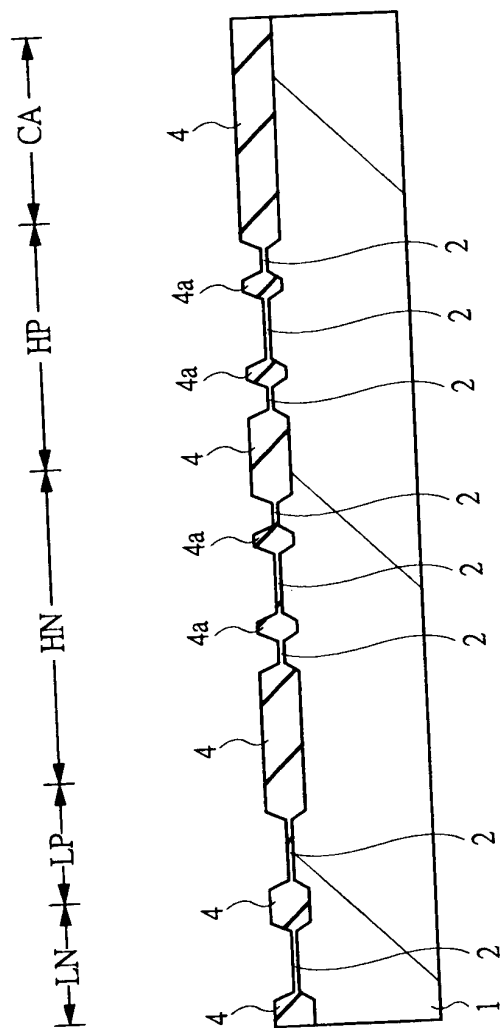
【図 1】

図 1



【図 2】

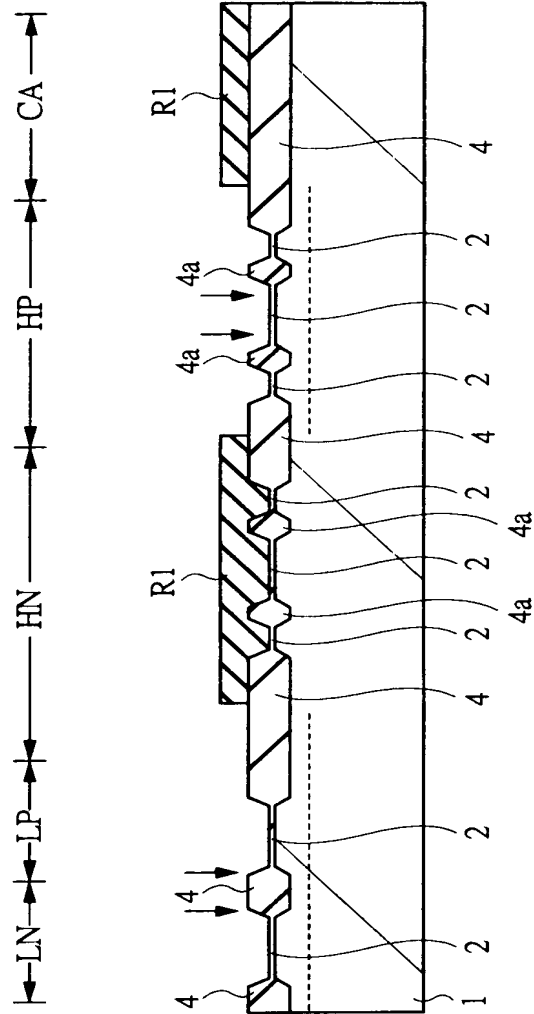
図 2





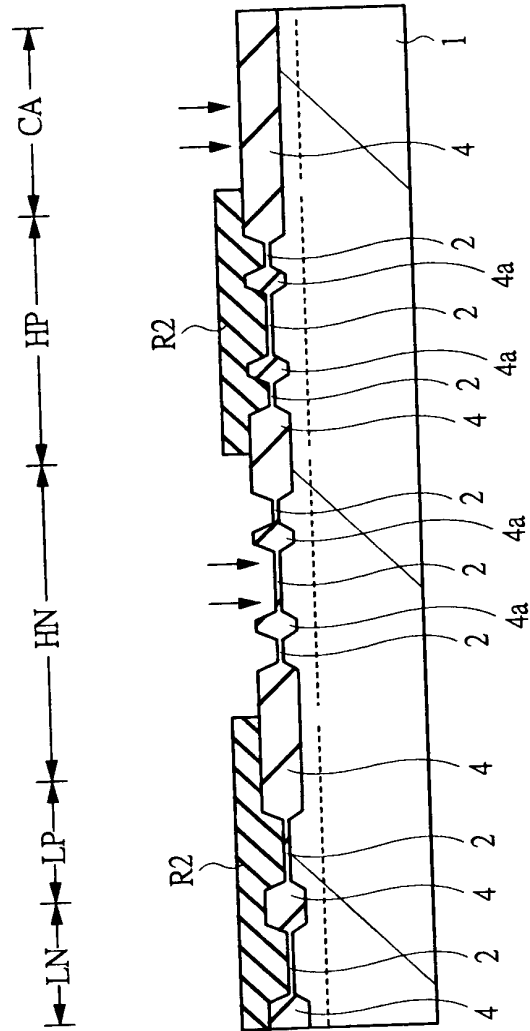
【図 3】

図 3



【図 4】

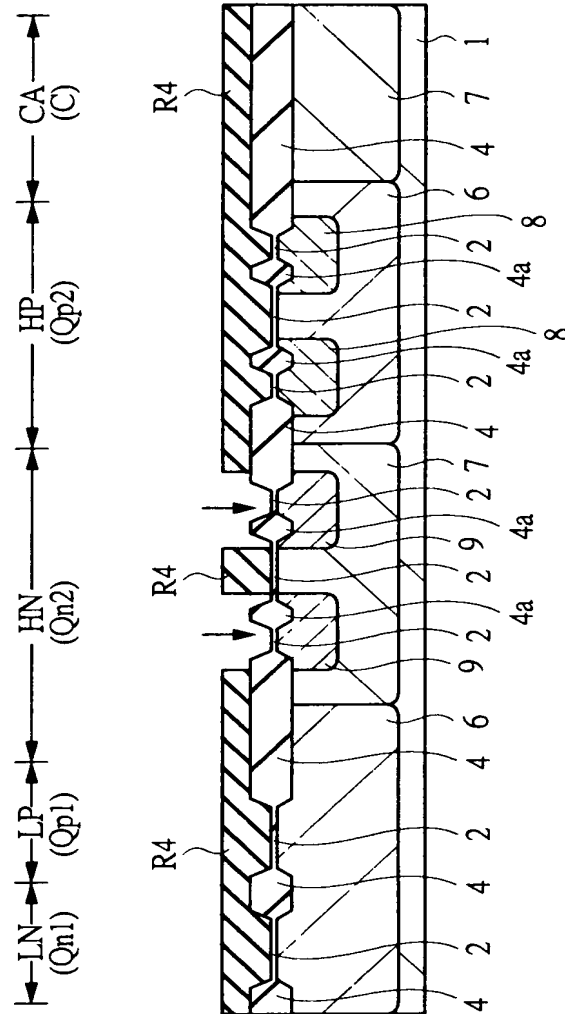
図 4



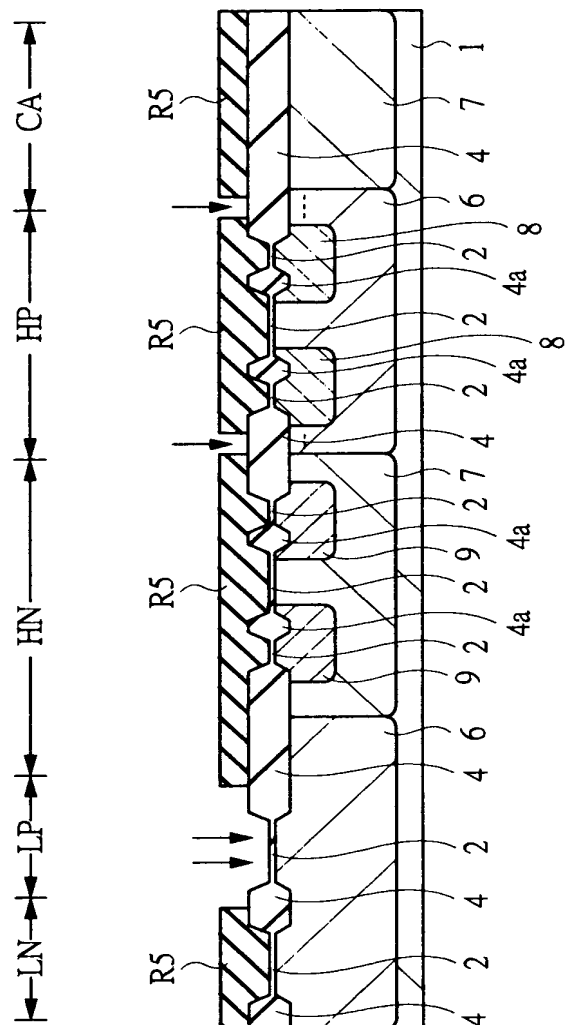


【図 6】

図 6

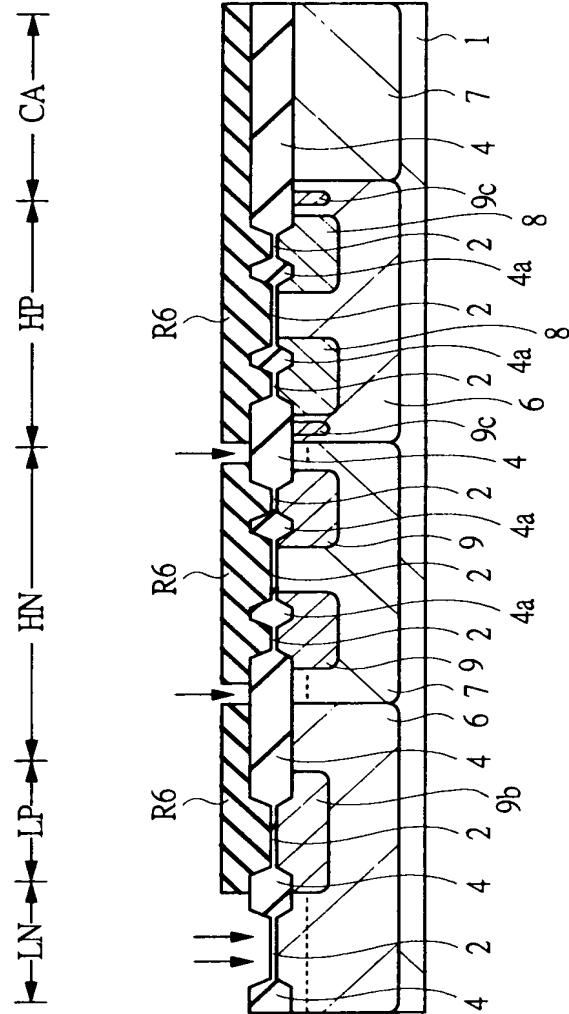


【図 7】



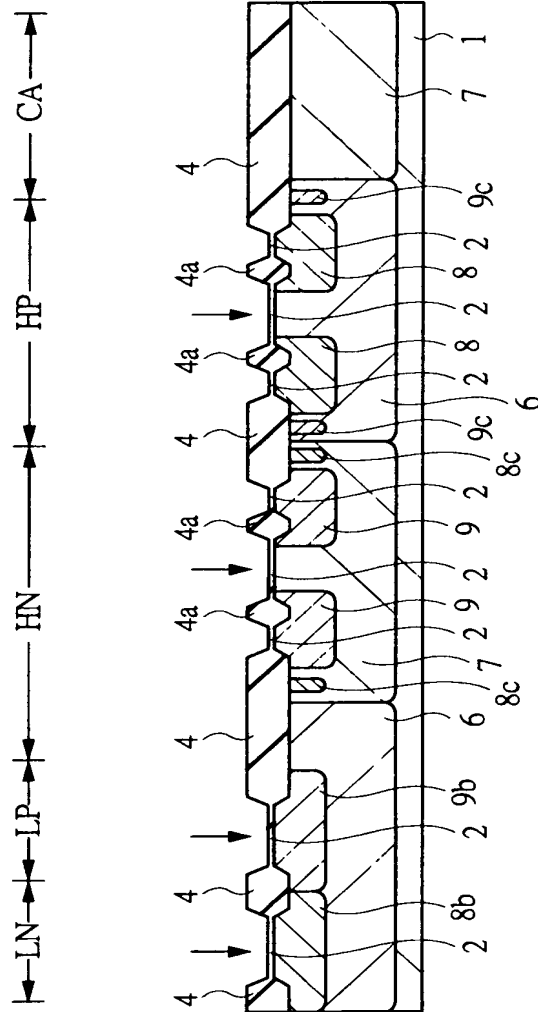
【图 8】

8



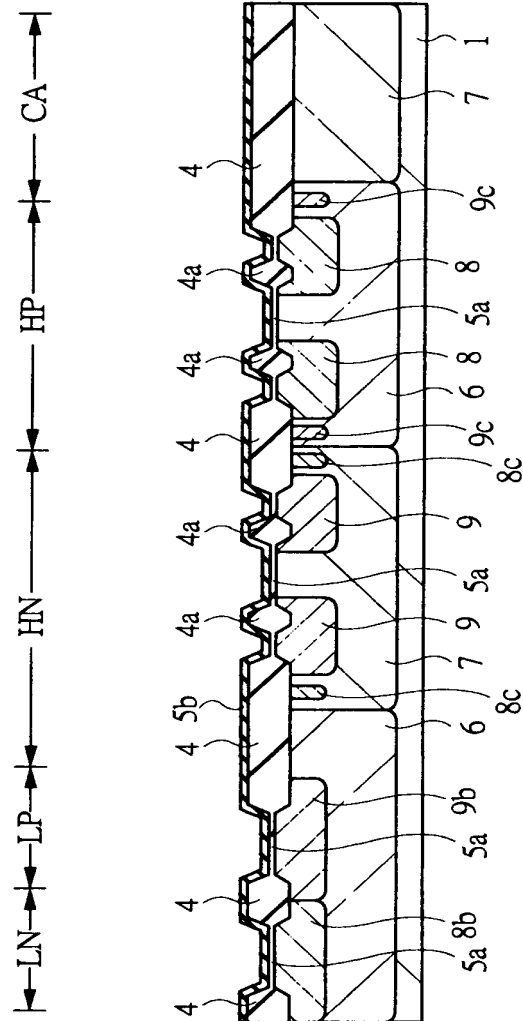
【図 9】

図 9



【図 1 0】

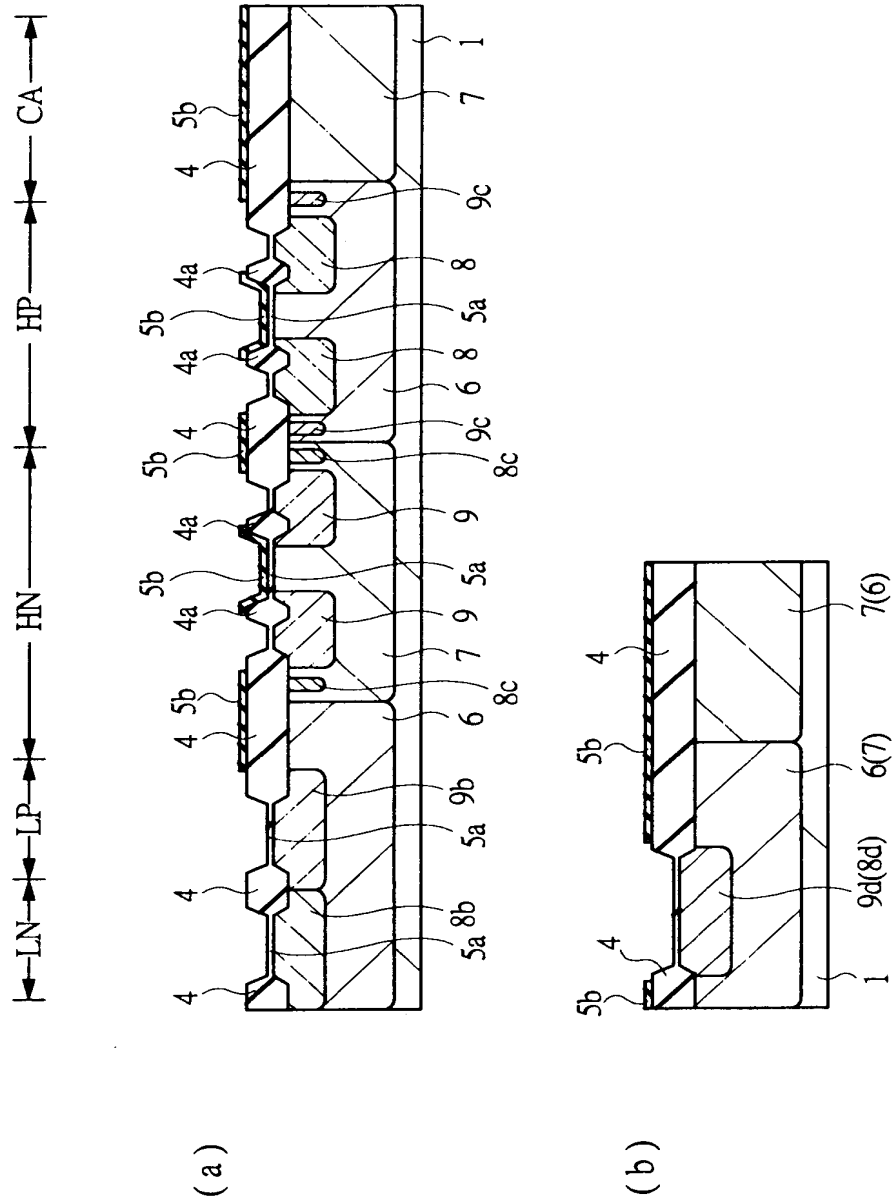
図 10





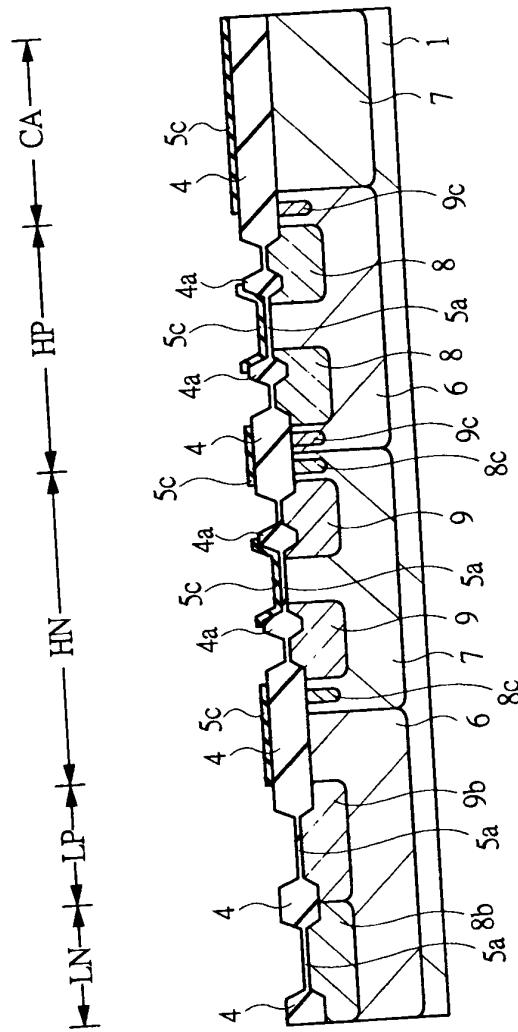
【图 1-1】

11



【図 12】

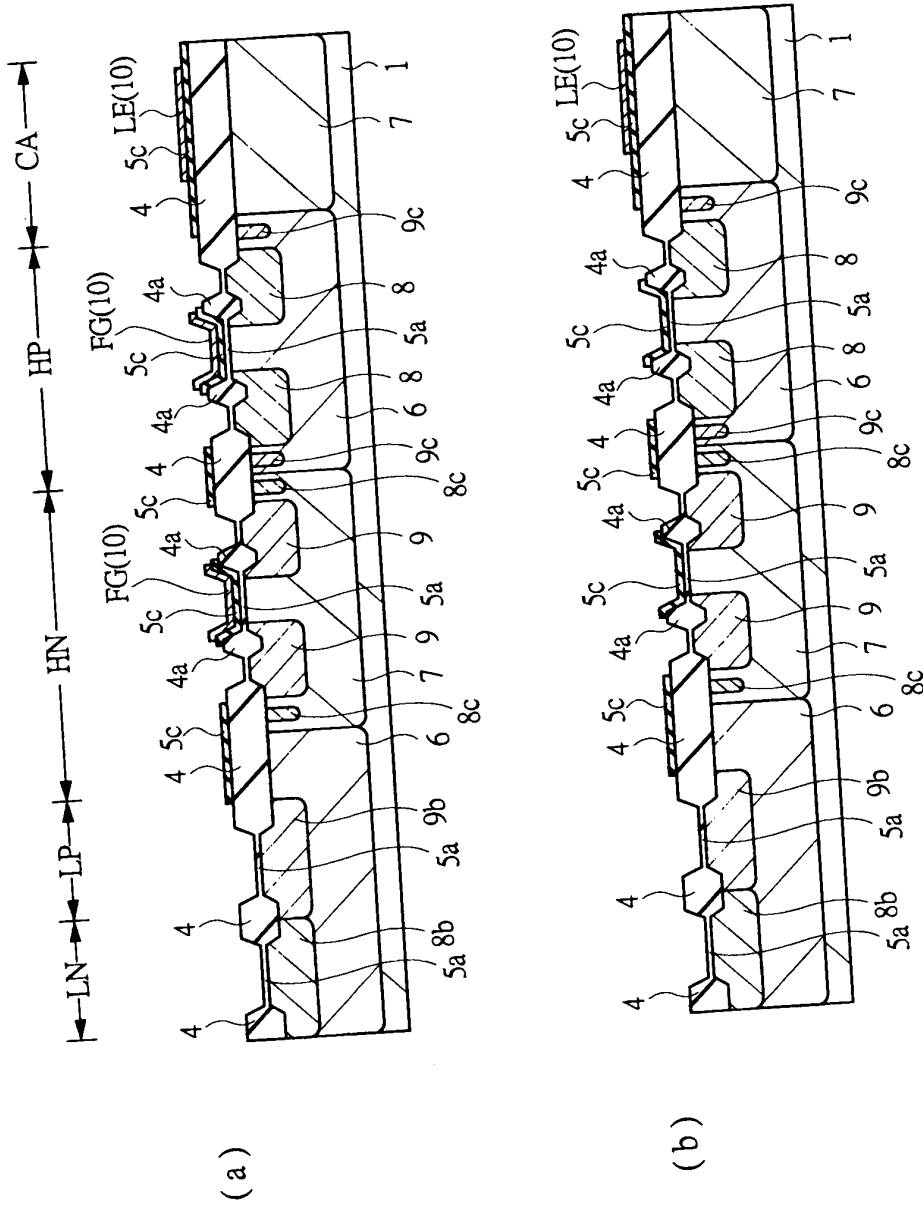
図 12





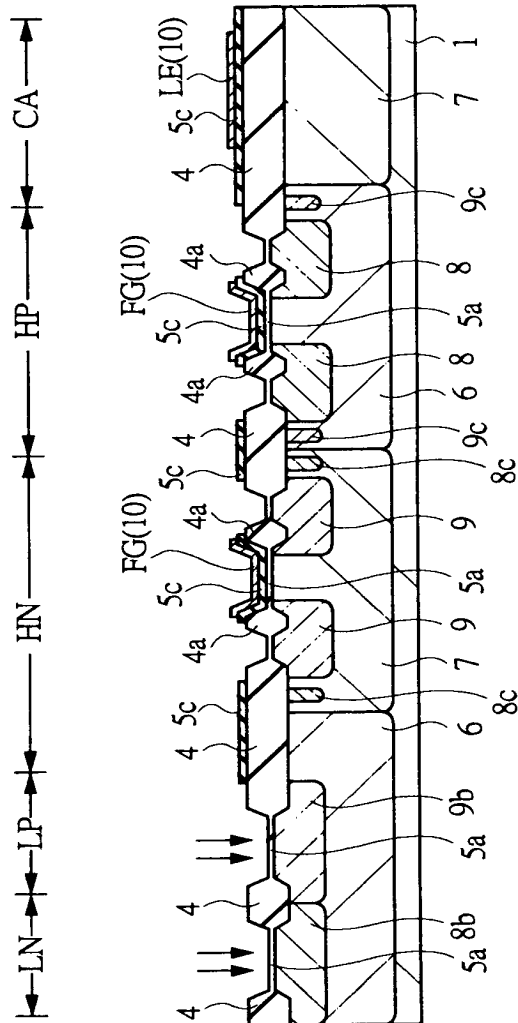
【図 14】

図 14

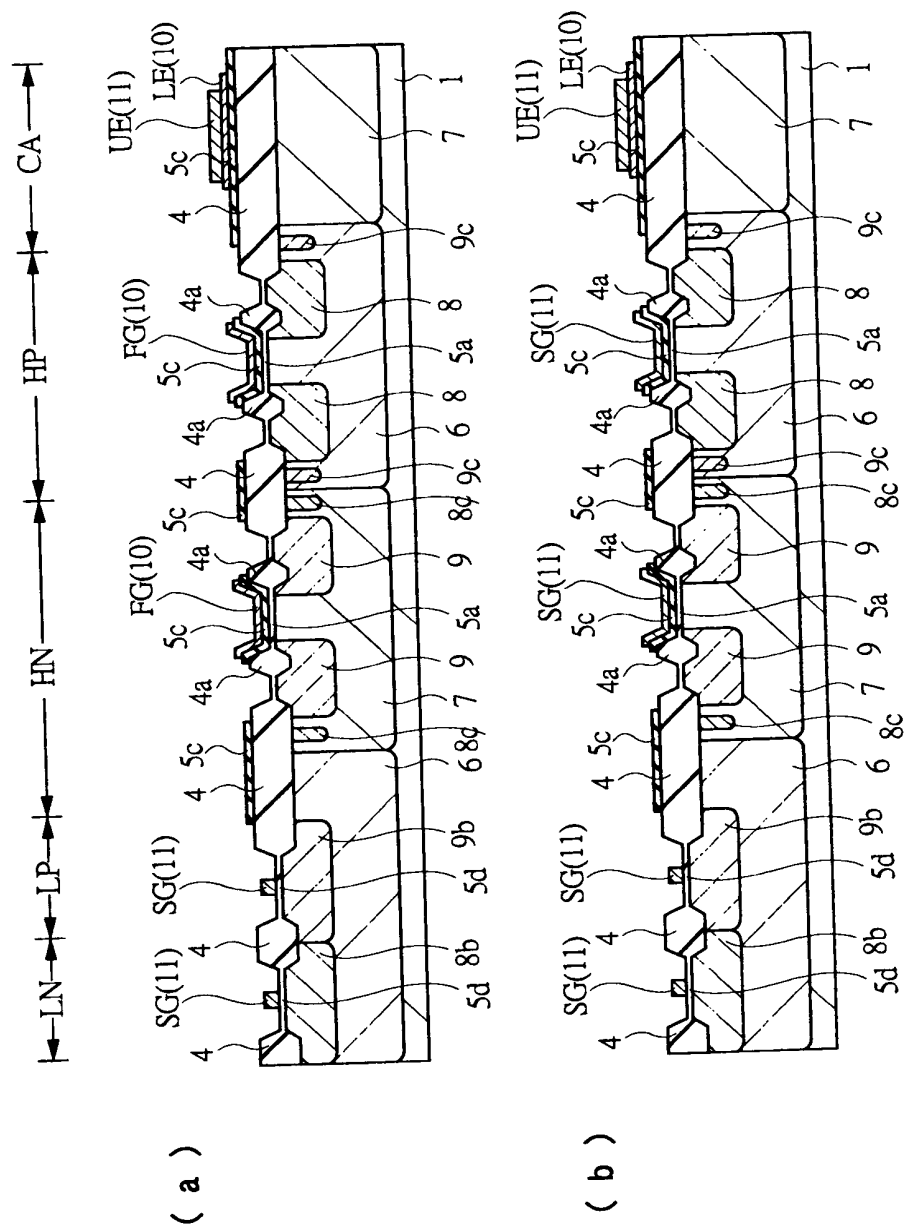


【図 15】

図 15



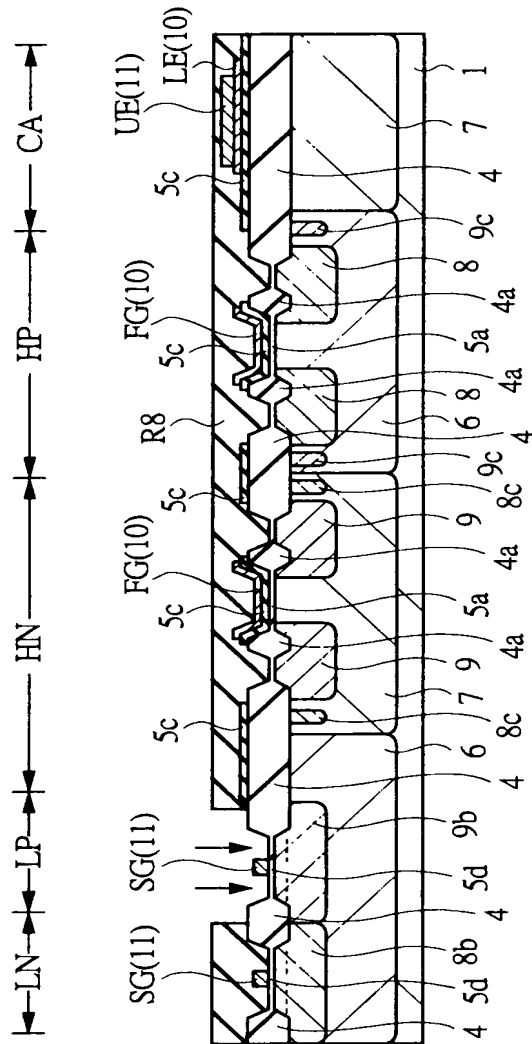
【图 16】





【図 1 8】

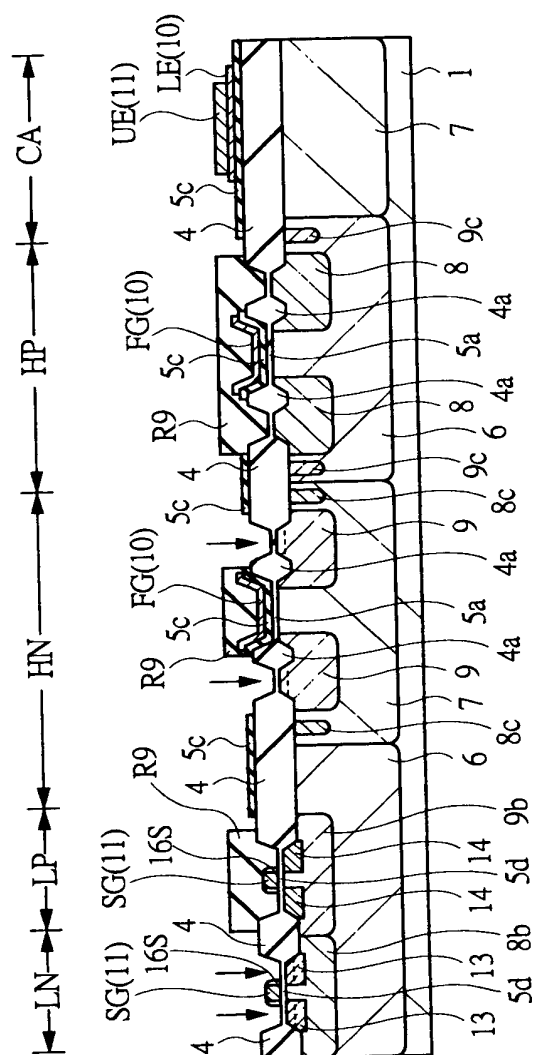
18



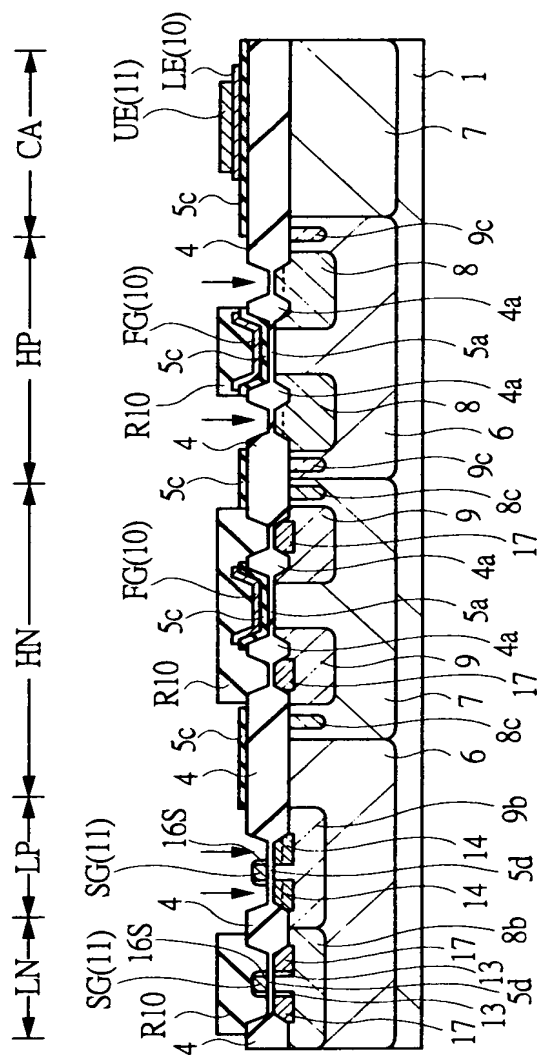
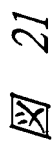




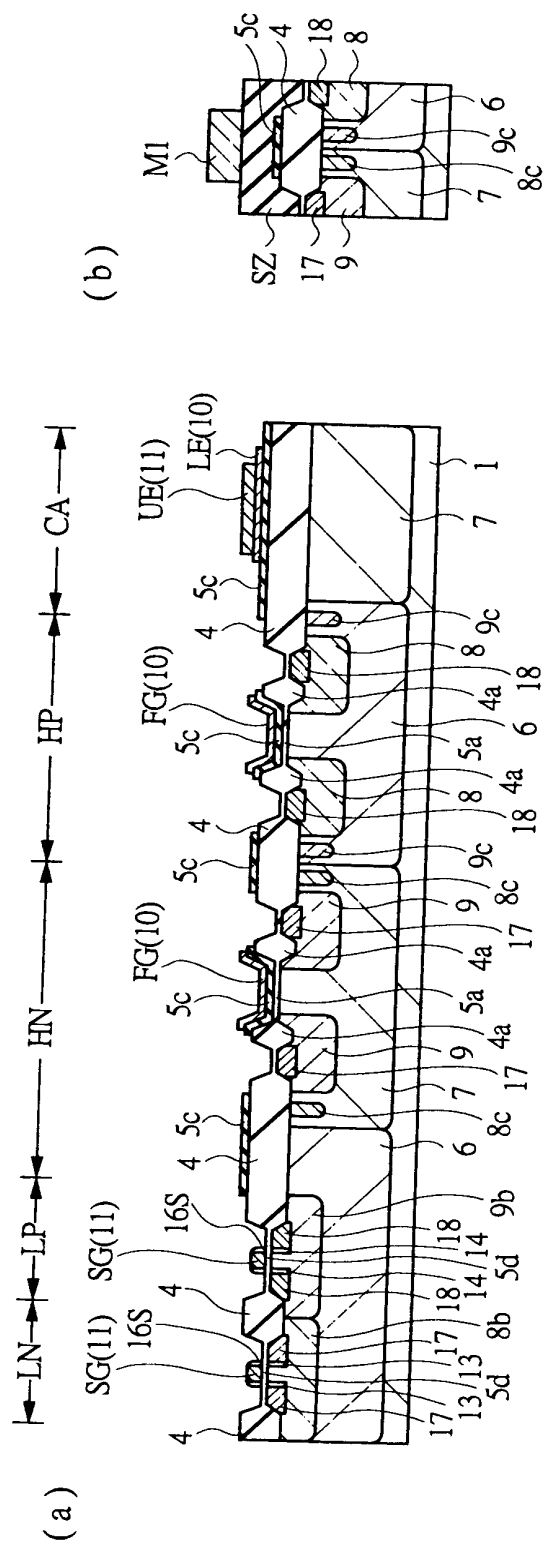
【図 20】



【图 2 1】

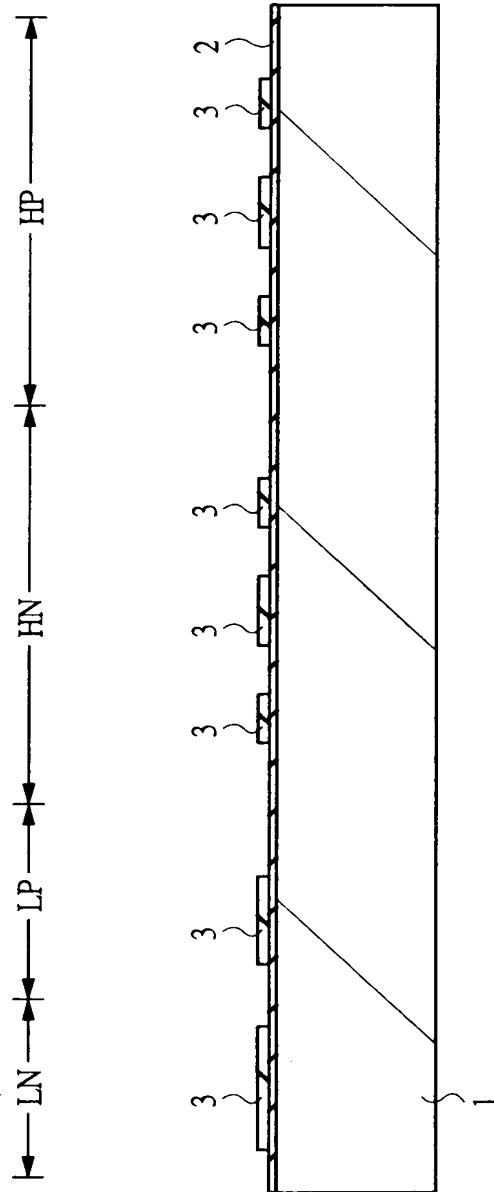


【图 2 2】



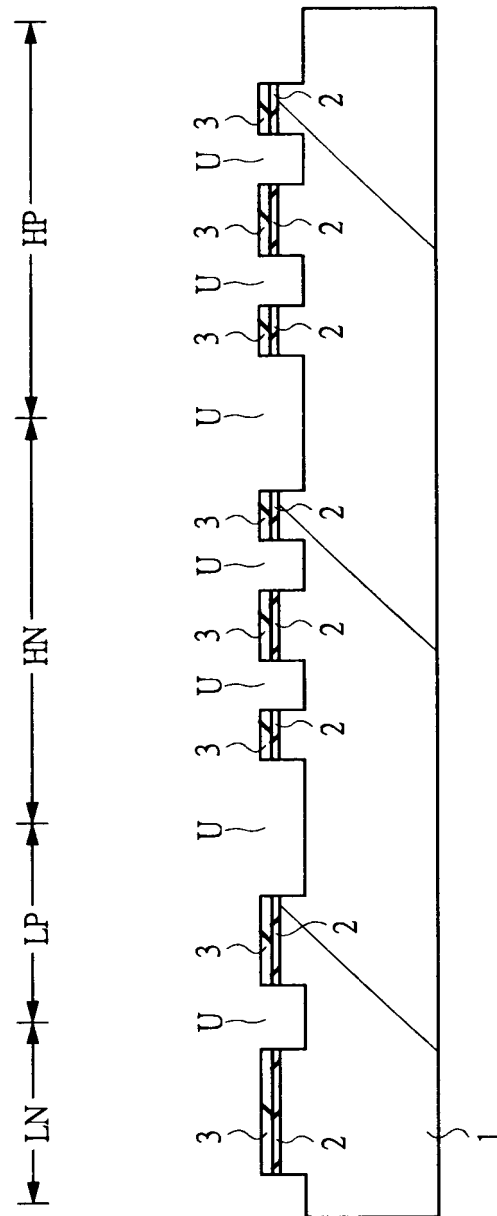
【図 2 3】

図 23



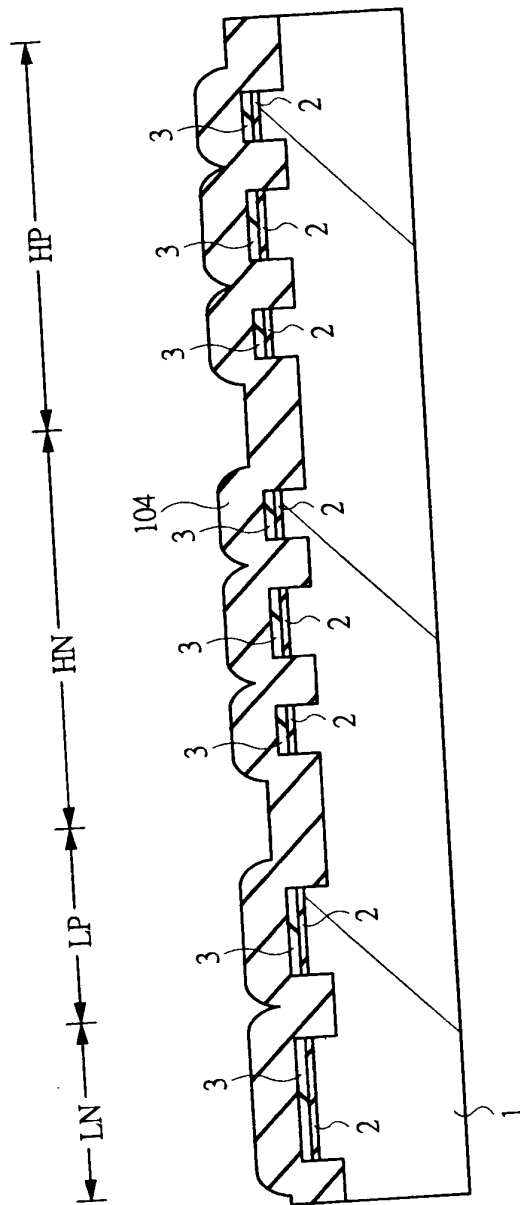
【図 2 4】

図 24



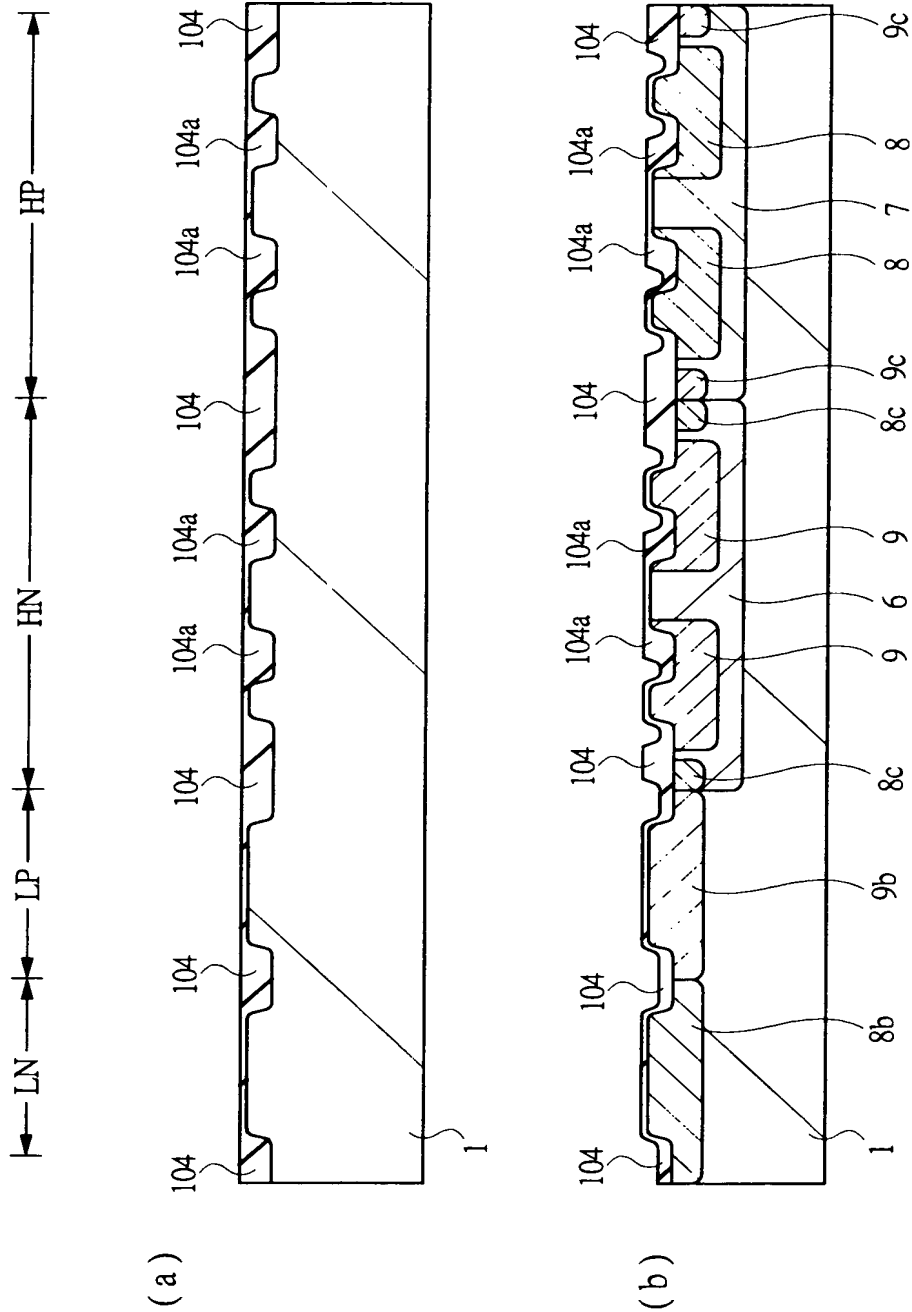
【図25】

図 25



【図 2 6】

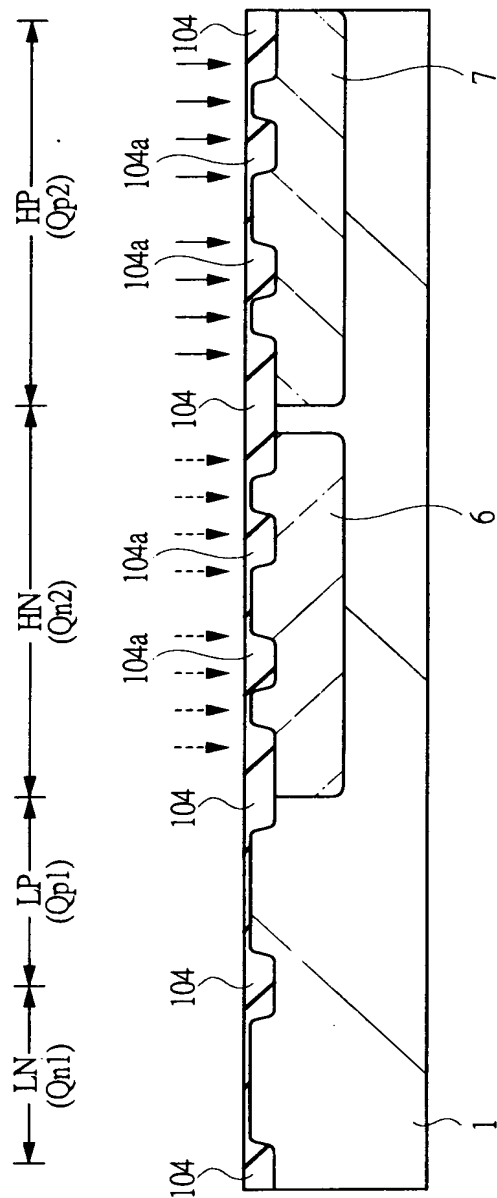
図 26





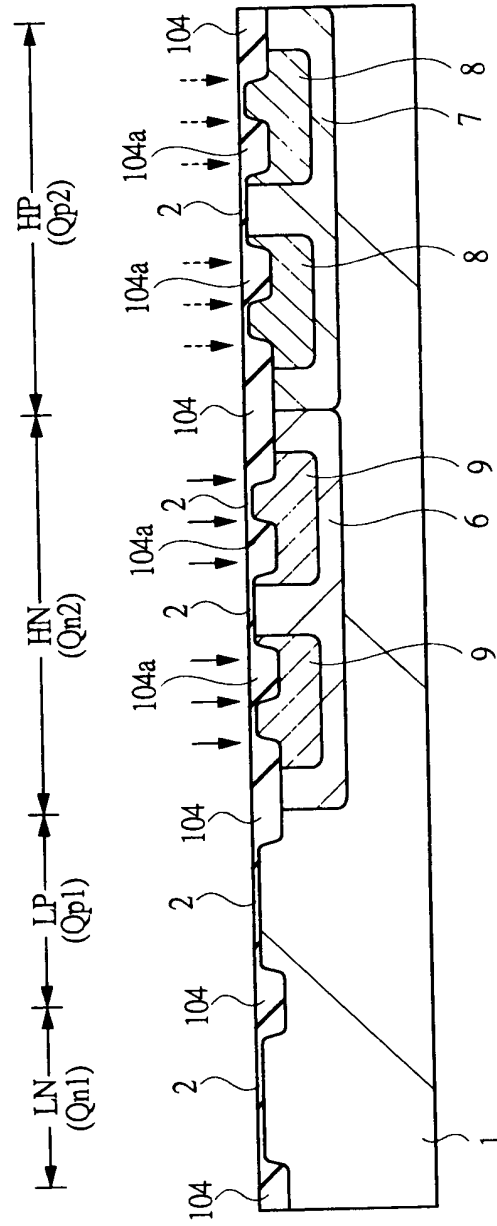
【図 2 7】

図 27



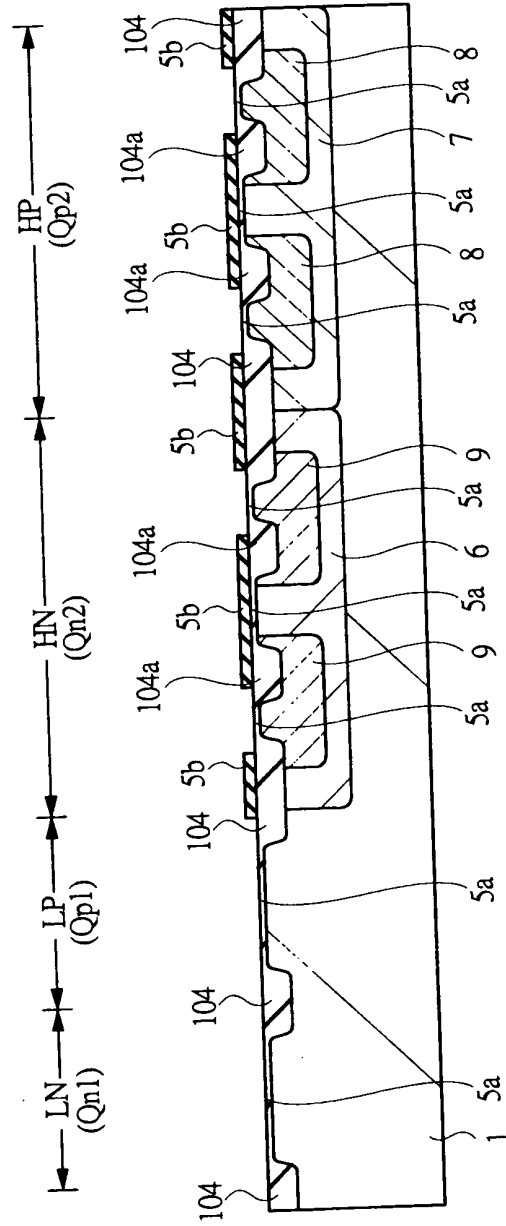
【図 2 8】

図 28



【図 2 9】

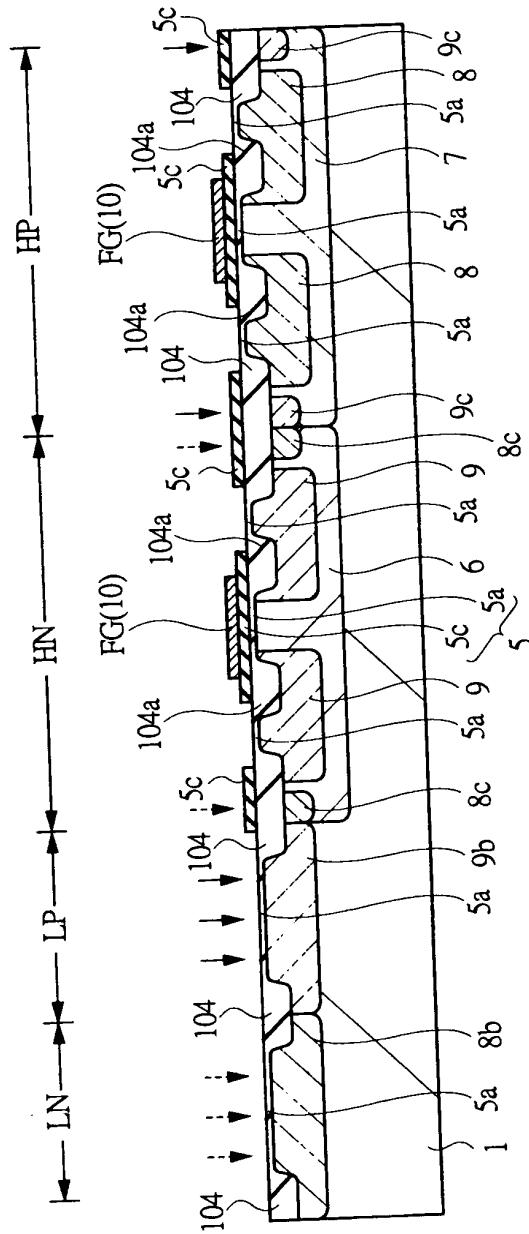
図 29





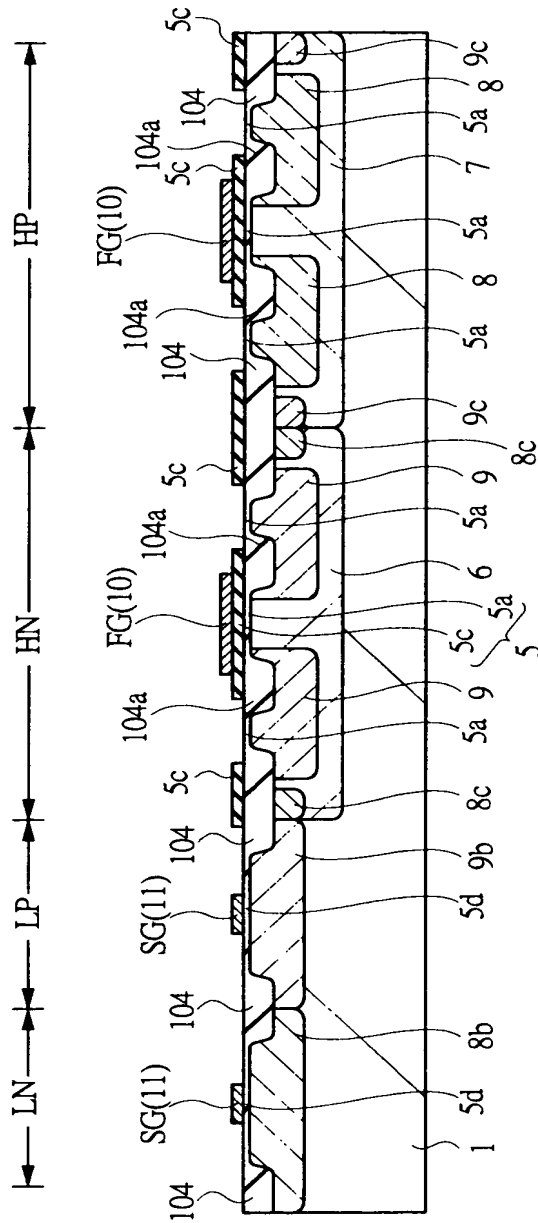
【図 31】

図 31



【図 3 2】

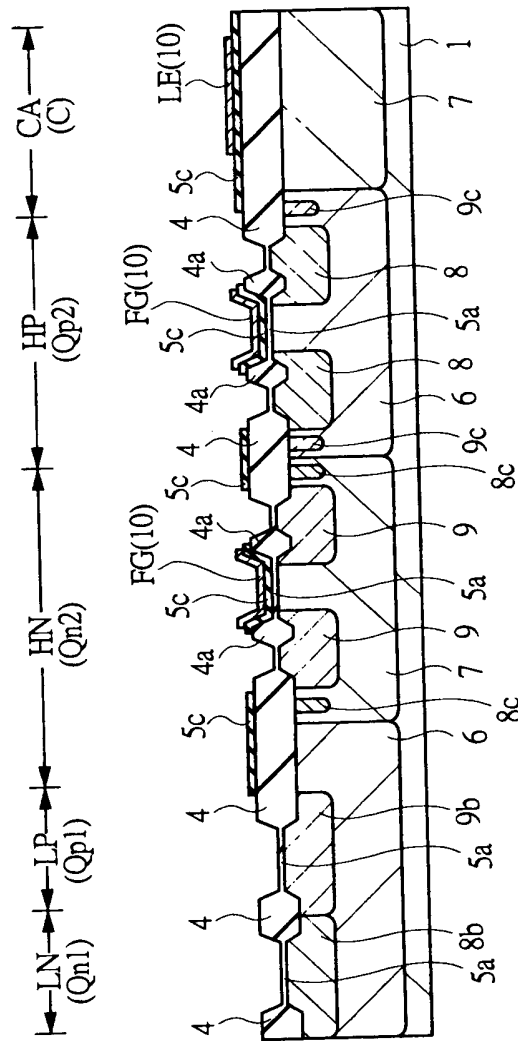
図 32





【図 34】

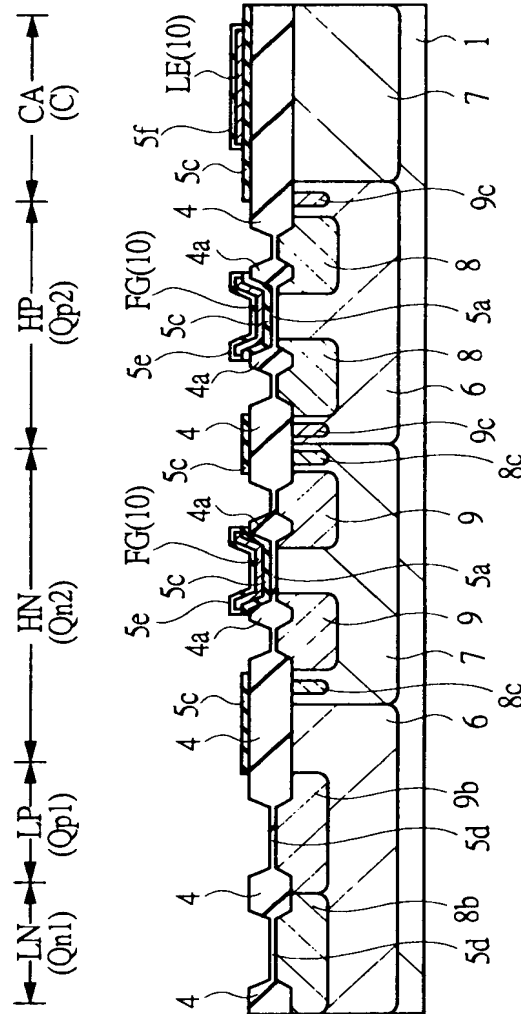
34





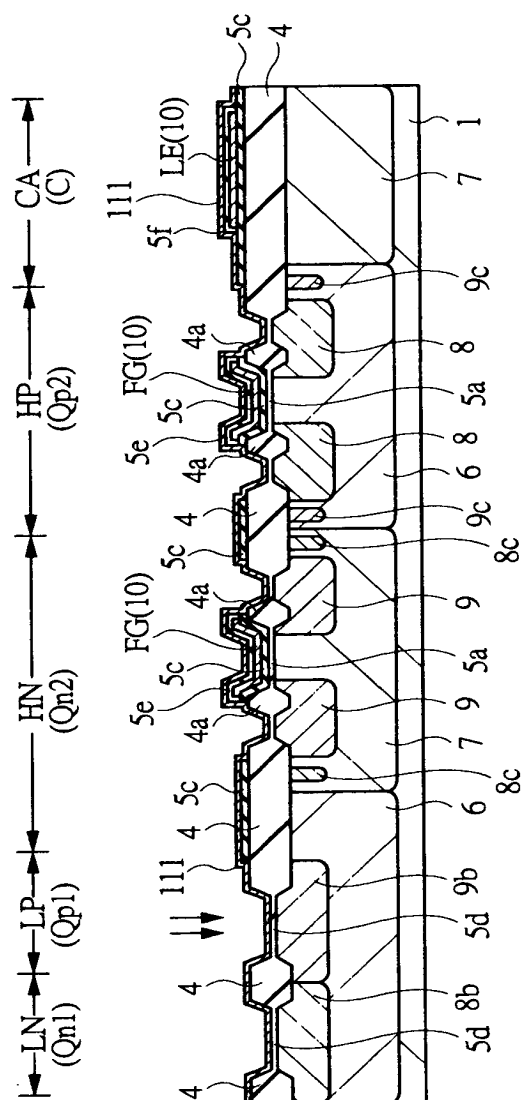
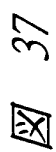
【図 35】

図 35



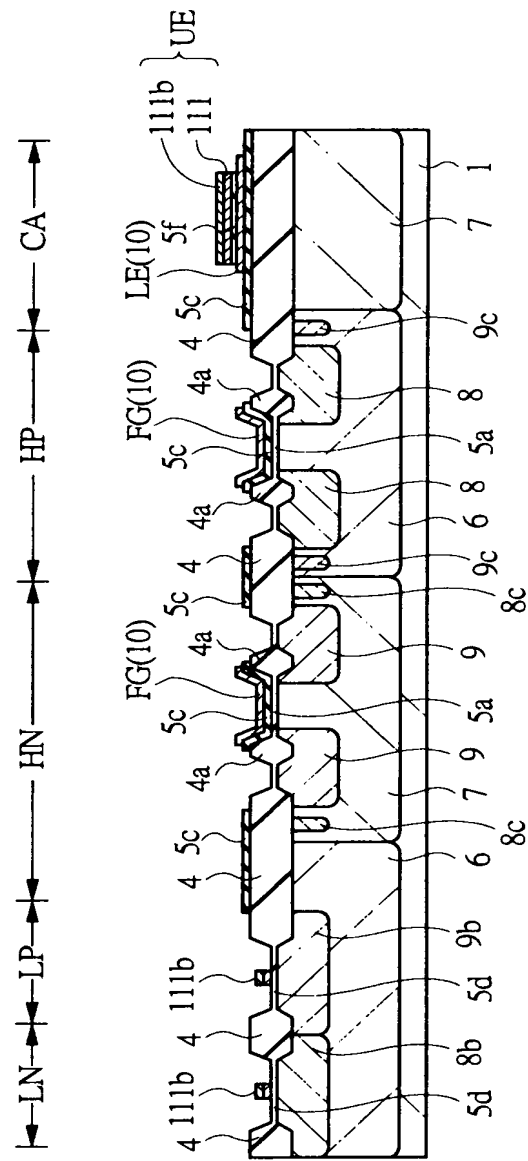


【図 3 7】



【図 3 8】

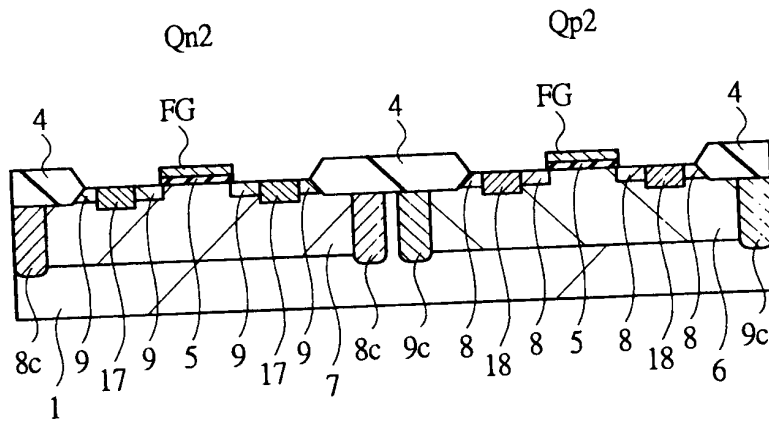
38





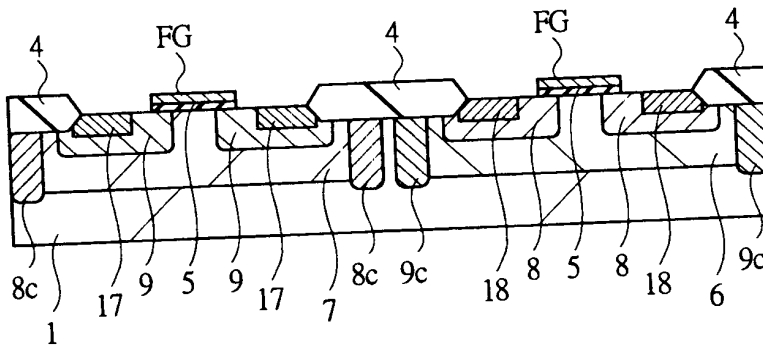
【図 4 0】

図 40



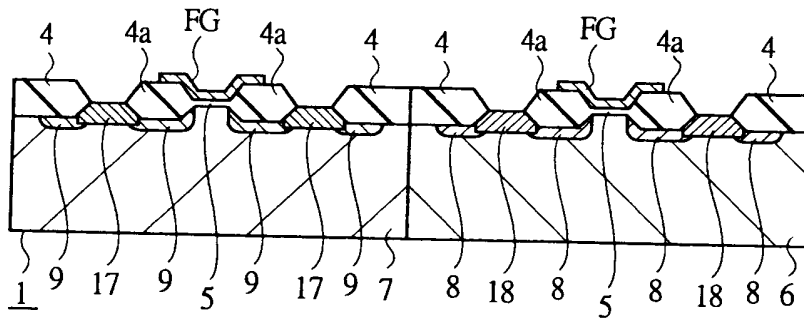
【図 4 1】

図 41



【図 4 2】

図 42



【書類名】 要約書

【要約】

【課題】 高耐圧M I S F E Tを有する半導体集積回路装置の寄生M O Sの閾値電位を上げることができる技術を提供する。

【解決手段】 高耐圧M I S F E T形成領域H N、H Pのフィールド酸化膜4 上に酸化シリコン膜5 cを形成する。その結果、このフィールド酸化膜4 上に形成される寄生M O Sの閾値電位を上げることができる。また、高耐圧M I S F E Tのゲート電極F G上に低耐圧M I F E Tのゲート電極となる多結晶シリコン膜1 1 1が形成された状態で、低耐圧M I S F E Tの閾値調整用の不純物注入を行う。その結果、前記不純物は、高耐圧M I S F E Tゲート電極F G内に留まり、N B T現象の発生を抑制することができる。

【選択図】 図 3 6



出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住所

東京都千代田区神田駿河台4丁目6番地

氏名

株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 3 0 8 8 ]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日  
[変更理由] 新規登録  
住 所 千葉県茂原市早野 3 6 8 1 番地  
氏 名 日立デバイスエンジニアリング株式会社